

Grado en Ingeniería Electrónica Industrial y Automática  
2018-2019

*Trabajo Fin de Grado*

# “Diseño de amplificadores operacionales para baja tensión de alimentación en tecnología CMOS”

---

Guillermo Alejandro López Fernández

Tutor

Dr. Enrique Jose Prefasi Sen

Leganes, a 17 de Junio de 2019



Esta obra se encuentra sujeta a la licencia Creative Commons **Reconocimiento - No Comercial - Sin Obra Derivada**



## RESUMEN

El propósito de este trabajo, es aportar un nuevo diseño de un amplificador operacional para baja tensión de alimentación en tecnología CMOS. Con el creciente desarrollo de la microelectrónica cada vez es más demandado este tipo de amplificadores, debido a la bajada de tensión de alimentación por la reducción del tamaño de los transistores implementados en los chips.

Dentro de los amplificadores operacionales de baja tensión de alimentación diseñados en tecnología CMOS para circuitos integrados se encuentran los amplificadores de transconductancia variable, diseñados en numerosos artículos y en este proyecto, tienen una gran importancia en el diseño de la microelectrónica analógica en la actualidad. Algunas de sus principales aplicaciones son servir como bloque para otro amplificador, filtros y osciladores de frecuencia variable, entre otras. En este trabajo se propone el diseño y desarrollo de dos arquitecturas de amplificadores de transconductancia variable, telescópica y folded-cascode, en 50 nm con una ganancia en lazo abierto de 60 dB, un producto de ancho de banda-ganancia de 20 MHz y margen de fase de 90°. Asimismo se diseña un circuito de polarización en tecnología CMOS a 50 nm para proporcionar tensiones de polarización al amplificador. Además se diseñan dos filtros butterworth paso bajo de retroalimentación múltiple con una frecuencia de corte de 100 KHz, cada uno implementado con una arquitectura distinta de los amplificadores de transconductancia variable diseñados previamente. Como último paso se compara el consumo de los amplificadores en esta aplicación.

**Palabras clave:** Tecnología CMOS; Amplificadores Operacionales; Circuitos integrados analógicos; Sistema en chip; Circuitos integrados CMOS; Filtro paso bajo

## ABSTRACT

The purpose of this work is to provide a new design of an operational amplifier for low voltage power in CMOS technology. With the growing development of microelectronics, this type of amplifiers is increasingly demanded due to the reduction of the supply voltage because of the reduction of the size of transistor on the chips.

Within the operational low voltage power amplifiers designed in CMOS technology for integrated circuits are the operational transconductance amplifiers, designed in many articles and in this project, they are of great importance in the design of analog microelectronics. Some of its main applications are to serve as a block for another amplifier, filters, variable frequency oscillators and others. In this work we propose the design of two architecture of operational transconductance amplifiers, telescopic and folded-cascode, in 50 nm with an open-loop gain of 60 dB, a product of bandwidth-gain be 20 MHz and 90° phase margin. Likewise, a biasing circuit is designed in CMOS technology in 50 nm to provide bias voltages to the amplifier. In addition, two 100-kHz single-ended Butterworth multi-feedback input/output low-pass filter are designed, each implemented with a different architecture of the previously designed operational transconductance amplifiers. As a last step, the consumption of the amplifiers in this application is compared.

**Key Words:** CMOS technology; Operational Amplifiers; Analog integrated circuits; System-on-chip; CMOS integrated circuits; Low-pass filter



## **AGRADECIMIENTOS**

*Gracias a mi familia, en especial a mis padres que han estado presentes en los buenos y malos momentos de mi vida estudiantil y haberme educado correctamente para poder llegar hasta aquí. A mi hermana Evelyn y mi primo Lien por todos sus consejos y ser un gran ejemplo a seguir. A mi tía Vivian por ser como una segunda madre y aconsejarme sabiamente. A Laura por estar a mi lado y apoyarme en todo el desarrollo del proyecto.*

*Gracias a Enrique, mi tutor, por elegirme para la realización de este proyecto, por su tiempo, ayuda y consejos durante estos meses. Gracias a Rubén por estar siempre disponible cada vez que me surgía algún problema del proyecto y sus conocimientos aportados sobre Cadence.*

*Gracias a todos los que me apoyaron, aconsejaron y ayudaron con la memoria, en especial a Laura, Guillermo, Enrique, Rubén, Jorge, Adrián, Oriol y Sara.*

*Gracias a todos los amigos del grupo 22 que de una manera u otra siempre hemos estado juntos y han hecho divertido los momentos de mayor estrés.*

*Guillermo Alejandro López Fernández.*

*Junio 2019.*



## ÍNDICE GENERAL

1. INTRODUCCIÓN. . . . .	1
1.1. Motivación del trabajo . . . . .	1
1.2. Objetivos . . . . .	2
1.3. Esquema del documento. . . . .	3
1.4. Marco regulador . . . . .	4
2. ESTADO DEL ARTE. . . . .	5
2.1. Amplificadores de Transconductancia Variable . . . . .	6
2.2. Telescópico . . . . .	9
2.3. Folded-cascode . . . . .	11
2.4. Circuito de polarización . . . . .	12
2.4.1. Beta-multiplier . . . . .	12
2.5. Filtro Butterworth . . . . .	15
3. AMPLIFICADORES DE TRANSCONDUCTANCIA VARIABLE . . . . .	17
3.1. Telescópico . . . . .	17
3.1.1. Telescópico ideal. . . . .	17
3.1.2. Dimensionado de los transistores. . . . .	18
3.1.3. Telescópico real . . . . .	24
3.2. Folded-cascode . . . . .	28
3.2.1. Folded-cascode ideal. . . . .	28
3.2.2. Tensión de polarización . . . . .	31
3.2.3. Dimensionado de los transistores. . . . .	32
3.2.4. Folded-cascode Real. . . . .	33
3.3. Circuito de polarización . . . . .	36
3.3.1. Telescópico . . . . .	37
3.3.2. Folded-cascode . . . . .	40
3.4. Amplificadores de transconductancia variable con su circuito de polarización. . . . .	45
3.4.1. Telescópico . . . . .	45
3.4.2. Folded-cascode . . . . .	47



4. FILTROS BUTTERWORTH . . . . .	50
4.1. Telescópico . . . . .	51
4.2. Folded-cascode . . . . .	52
5. DISCUSIÓN DE LOS RESULTADOS . . . . .	55
5.1. Conclusiones . . . . .	55
5.2. Líneas futuras. . . . .	56
6. IMPACTO SOCIO-ECONÓMICO . . . . .	57
7. ESTUDIO ECONÓMICO . . . . .	58
8. METODOLOGÍA Y PLAN DE TRABAJO . . . . .	59
BIBLIOGRAFÍA . . . . .	59



## ÍNDICE DE FIGURAS

1.1	Ley de Moore [1]. . . . .	1
2.1	Transistor MOS canal n de US Patent 3,356,858 [9]. . . . .	5
2.2	Amplificador Diferencial con un espejo de corriente como carga [10]. . .	7
2.3	Ejemplo de un amplificador de transconductancia variable (OTA) [10]. . .	8
2.4	Circuito en corriente continua con lazo abierto del OTA [10]. . . . .	8
2.5	Amplificador diferencial con espejo de corriente como carga [11]. . . . .	9
2.6	Amplificador diferencial telescópico [11]. . . . .	10
2.7	Folded-cascode OTA. . . . .	11
2.8	Circuito de polarización para short-channel. . . . .	12
2.9	Beta-multiplier para un diseño short-channel[16]. . . . .	13
2.10	Beta-multiplier circuito con un amplificador operacional [16]. . . . .	13
2.11	Respuesta de las corrientes de referencia a cambios de $V_{DD}$ cuando se añade un amplificador operacional al circuito Beta-multiplier [16]. . . . .	14
2.12	Posible amplificador diferencial [16]. . . . .	14
2.13	Circuito de polarización Beta-multiplier mejorado [16]. . . . .	14
2.14	Variación de las corrientes de referencia respecto a $V_{DD}$ de la figura(2.13)[16].	15
2.15	Bode de amplitud de filtros Butterworth de orden creciente . . . . .	16
3.1	Amplificador Telescópico ideal. . . . .	18
3.2	Transistor M2. . . . .	19
3.3	Simulación paramétrica del ancho de canal de M2. . . . .	19
3.4	Transistor M4. . . . .	20
3.5	Simulación paramétrica del ancho de canal de M4. . . . .	20
3.6	Transistor M6. . . . .	21
3.7	Simulación paramétrica del ancho de canal de M6. . . . .	21
3.8	Transistor M8. . . . .	22
3.9	Simulación para-métrica del ancho de canal de M8. . . . .	22
3.10	Diagrama de Bode del Amplificador Telescópico. . . . .	23

3.11	Amplificador Telescópico ideal con realimentación negativa unitaria y señal de pulso de entrada. . . . .	23
3.12	Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso. . . . .	24
3.13	Transistor M9. . . . .	25
3.14	Simulación para-métrica del ancho de canal de M9. . . . .	25
3.15	Amplificador Telescópico real. . . . .	26
3.16	Diagrama de Bode del Amplificador Telescópico real. . . . .	26
3.17	Amplificador Telescópico real con realimentación negativa unitaria y señal de pulso de entrada. . . . .	27
3.18	Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso. . . . .	27
3.19	Amplificador folded-cascode ideal. . . . .	29
3.20	Diagrama de Bode del amplificador folded-cascode ideal. . . . .	29
3.21	Amplificador folded-cascode ideal con realimentación negativa unitaria y señal cuadrada pulso a la entrada. . . . .	30
3.22	Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso. . . . .	30
3.23	Resultado de la simulación en paramétrico para calcular la tensión de polarización $V_{bias2}$ . . . . .	31
3.24	Modelado de la fuente de corriente con dos transistores NMOS. . . . .	32
3.25	Resultado de la simulación del barrido de continua de V2. . . . .	32
3.26	Modelado de la fuente de corriente con un transistor NMOS. . . . .	33
3.27	Resultado de la simulación paramétrica. . . . .	33
3.28	Amplificador Folded-cascode real. . . . .	34
3.29	Diagrama de Bode del Amplificador Folded-cascode real. . . . .	34
3.30	Amplificador Folded-cascode real con realimentación negativa unitaria y señal de pulso de entrada. . . . .	35
3.31	Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso. . . . .	35
3.32	Simulación paramétrica de valores de R1 del circuito de polarización. . .	37
3.33	Simulación paramétrica de valores de la longitud de canal del transistor MA8 del circuito de polarización. . . . .	38
3.34	Circuito de polarización para el amplificador Telescópico. . . . .	38

3.35	Tensiones del circuito de polarización del amplificador telescópico. . . . .	39
3.36	Simulación paramétrica de valores de R1 del circuito de polarización. . .	41
3.37	Simulación paramétrica de valores de la longitud de canal del transistor MA4 del circuito de polarización. . . . .	41
3.38	Simulación paramétrica de valores de la longitud de canal del transistor MA8 del circuito de polarización. . . . .	42
3.39	Circuito de polarización para el amplificador Folded-cascode. . . . .	42
3.40	Tensiones del circuito de polarización del amplificador folded-cascode. .	43
3.41	Amplificador Telescópico con su circuito de polarización. . . . .	45
3.42	Diagrama de Bode del Amplificador Telescópico con su circuito de pola- rización. . . . .	46
3.43	Amplificador Telescópico con su circuito de polarización. . . . .	46
3.44	Simulación en el dominio del tiempo del Amplificador Telescópico con su circuito de polarización. . . . .	47
3.45	Amplificador Folded-cascode con su circuito de polarización. . . . .	48
3.46	Diagrama de Bode del Amplificador Folded-cascode con su circuito de polarización. . . . .	48
3.47	Amplificador Folded-cascode con su circuito de polarización. . . . .	49
3.48	Simulación en el dominio del tiempo del Amplificador Folded-cascode con su circuito de polarización. . . . .	49
4.1	Filtro butterworth paso bajo de retroalimentación múltiple. . . . .	50
4.2	Filtro butterworth paso bajo de retroalimentación múltiple con amplifica- dor telescópico. . . . .	51
4.3	Diagrama de Bode del filtro butterworth. . . . .	52
4.4	Consumo del amplificador telescópico usado en el filtro. . . . .	52
4.5	Filtro butterworth paso bajo de retroalimentación múltiple con amplifica- dor folded-cascode. . . . .	53
4.6	Diagrama de Bode del filtro butterworth. . . . .	53
4.7	Consumo del amplificador folded-cascode usado en el filtro. . . . .	54
8.1	Diagrama de Gantt. . . . .	59



## ÍNDICE DE TABLAS

2.1	Parámetros del short-channel MOSFET para un diseño analógico general para VDD=1V y un factor de escala de 50nm . . . . .	6
3.1	Punto de operación de los transistores del amplificador telescópico ideal. .	24
3.2	Punto de operación de los transistores del amplificador telescópico real. .	28
3.3	Punto de operación de los transistores del amplificador folded-cascode ideal. .	31
3.4	Punto de operación de los transistores del amplificador folded-cascode real. .	36
3.5	Punto de operación de los transistores del circuito de polarización de el amplificador telescópico. . . . .	40
3.6	Punto de operación de los transistores del circuito de polarización de el amplificador folded-cascode. . . . .	44
7.1	COSTE PERSONAL . . . . .	58
7.2	COSTE DE SOFTWARE . . . . .	58
7.3	Costes totales . . . . .	58

## **Abreviaciones**

**AC** Alternating Current

**ADC** Analog-to-Digital converter

**BJT** Bipolar Junction Transistor

**BSD** Berkeley Software Distribution

**CMOS** Complementary Metal-Oxide Semiconductor

**DAC** Digital-to-Analog converter

**DC** Direct Current

**LPI** Ley de Propiedad Intelectual

**MOS** Metal-Oxide Semiconductor

**MOSFET** Metal-oxide-semiconductor Field-effect transistor

**NMOS** N-type metal-oxide-semiconductor

**OTA** Operational Transconductance Amplifier

**PMOS** P-type metal-oxide-semiconductor

**SOC** System-on-Chip



## Nomenclatura

$f_{3dB}$  Frecuencia de corte

$f_{un}$  Frecuencia unitaria

$V_b$  Tensión en la base

$V_{DD}$  Tensión de alimentación

$V_{DS}$  Tensión entre el drenador y la fuente

$V_{DS,sat}$  Tensión entre el drenador y la fuente en saturación

$V_{GS}$  Tensión entre la puerta y la fuente

$V_{ov}$  Tensión de overdrive

$V_{SD}$  Tensión entre la fuente y el drenador

$V_{th}$  Tensión umbral del transistor



## 1. INTRODUCCIÓN

### 1.1. Motivación del trabajo

En la actualidad la mayor parte de las señales son digitales, y aún así no se puede prescindir de las analógicas. La intensidad, la tensión y la potencia son magnitudes físicas comúnmente portadoras de una señal analógica y en todo circuito electrónico siempre hay presencia de alguna. Se pueden encontrar señales analógicas en circuitos electrónicos como chips, convertidores analógicos-digital (Analog-to-Digital-Converter, ADC), convertidores digital-analógico (Digital-to-Analog-Converter, DAC) y señales percibidas en la naturaleza. Por lo que los amplificadores son una pieza clave en los circuitos electrónicos.

El aumento de la demanda de system on chips (SOC) y microcontroladores, además del cumplimiento de la Ley de Moore, que expresa que cada dos años aproximadamente el número de transistores en un microprocesador se duplica [1], como se puede observar en la figura 1.1. Si se desea implementar en ellos, amplificadores de ganancia controlada por tensión, filtros controlados, osciladores controlados, resistencias controladas, etc, solo se pueden usar amplificadores de transconductancia variable (Operational Transconductance Amplifier, OTA).

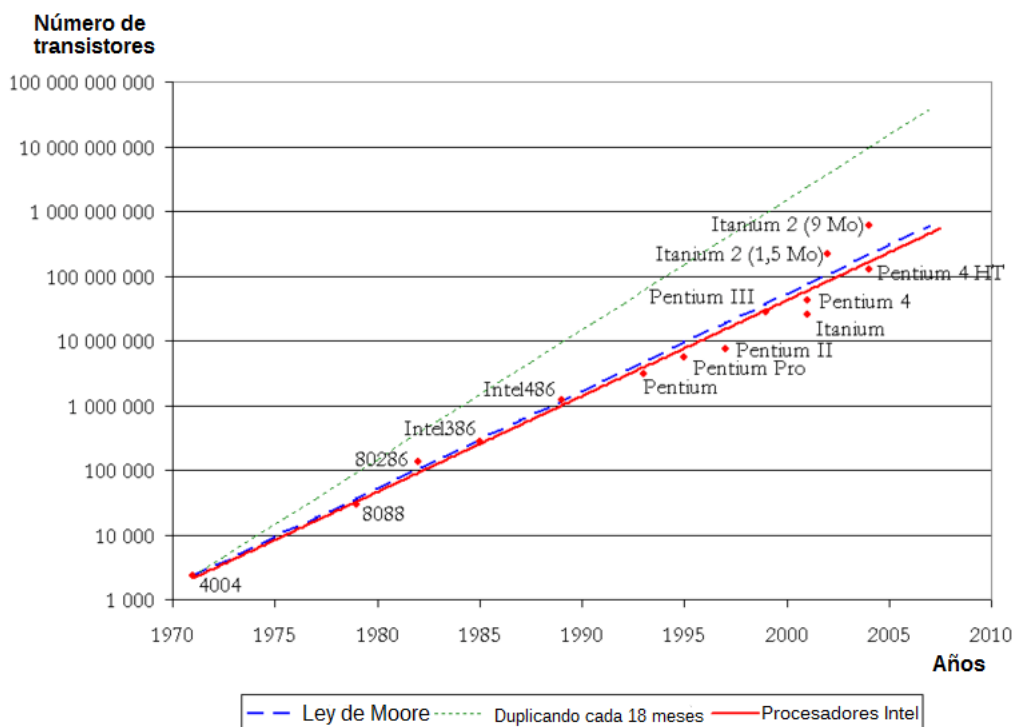


Fig. 1.1. Ley de Moore [1].

Como se ha visto en la figura 1.1 cada vez aumentan el número de transistores de un

## CAPÍTULO 1. 1.2. OBJETIVOS

chip y se ha tenido que ir escalando la tecnología a lo largo de estos años. La tecnología de diseño analógico que usan los MOSFET son dos, long-channel y short channel, la tecnología short-channel usa longitudes por debajo de  $1\ \mu\text{m}$ . El uso del diseño analógico short-channel ha traído ventajas y desventajas [2] [3]. Algunas de estas se citan a continuación:

- Disminución de la ganancia intrínseca del transistor, que conlleva una mayor dificultad de diseño analógico.
- Mayor velocidad de procesamiento ya que aumenta la frecuencia máxima de operación porque la capacidad de los condensadores parásitos aumenta.
- Disminución de la tensión. Como la tensión umbral del transistor  $V_{th}$  varía de manera mas lenta que la tensión de alimentación  $V_{DD}$ , disminuye el número de transistores en serie entre la alimentación y masa. Esto provoca una menor corriente en el transistor y un menor consumo.
- En circuitos con más densidad de integración y elevadas velocidades la disipación de potencia es uno de los mayores problemas.
- Se produce el efecto de canal corto que provoca un aumento descontrolado del consumo de potencia.

Se ha visto que la disipación de potencia es prohibitivo en el diseño de los circuitos integrados. La figura de mérito de este trabajo es la comparación de la potencia consumida por dos configuraciones distintas de amplificadores de transconductancia variable, telescópico y folded-cascode, usados en el diseño de un filtro butterworth. Analizando esta figura es posible decidir que configuración de amplificador consume menos potencia.

En este trabajo se propone el diseño de dos configuraciones de amplificadores de transconductancia variable, usando el diseño analógico short-channel, con las mismas especificaciones y demandas, para analizar el consumo de ambos.

### 1.2. Objetivos

El objetivo principal de este proyecto, es el estudio de dos configuraciones de amplificadores de transconductancia variable, con el fin de comparar el consumo de ambos cuando son usados en el diseño de un filtro butterworth.

Para cumplir el objetivo principal se deben realizar primero una serie de objetivos secundarios:

- Estudio del amplificador de transconductancia variable y sus diferentes configuraciones.

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSION DE ALIMENTACION EN TECNOLOGIA CMOS

- Diseño de la configuraci3n telesc3pica del amplificador de transconductancia en tecnologa de 50 nm con una ganancia en lazo abierto de 60 dB, el producto de ganancia-ancho de banda sea de 20 MHz y el margen de fase de 90°.
- Dise1o de la configuraci3n folded-cascode del amplificador de transconductancia en tecnologa de 50 nm con una ganancia en lazo abierto de 60 dB, el producto de ganancia-ancho de banda sea de 20 MHz y el margen de fase de 90°.
- Dise1o de un circuito de polarizaci3n en tecnologa CMOS para los amplificadores de transconductancia variable usando el m3todo de dise1o anal3gico short-channel.
- Dise1o de un filtro butterworth paso bajo de retroalimentaci3n m3ltiple con una frecuencia de corte de 100 KHz, usando la configuraci3n telesc3pica del amplificador de transconductancia variable con entrada diferencial y salida single-ended.
- Dise1o de un filtro butterworth paso bajo de retroalimentaci3n m3ltiple con una frecuencia de corte de 100 KHz, usando la configuraci3n folded-cascode del amplificador de transconductancia variable con entrada diferencial y salida single-ended.
- An3lisis y comparaci3n del consumo de ambos filtros.

### 1.3. Esquema del documento

Este documento se compone de una primera parte que incluye un resumen en castellano e ingl3s, agradecimientos, 3ndice de contenido, 3ndice de figuras, 3ndice de tablas, acr3nimos y nomenclatura.

La segunda parte est3 estructurada en 7 cap3tulos que ser3n detallados a continuaci3n:

- Cap3tulo 1: Se realiza un introducci3n del tema a tratar en el proyecto, los objetivos que debe cumplir y el marco regulador en que se encuentra.
- Cap3tulo 2: Se hace una descripci3n del estado del arte y los antecedentes de los amplificadores de transconductancia variable, en espec3fico sus configuraciones telesc3pica y folded-cascode, el circuito de polarizaci3n y los filtros butterworth.
- Cap3tulo 3: Se detalla el desarrollo de los amplificadores de transconductancia variable con sus distintas configuraciones para cumplir con los objetivos.
- Cap3tulo 4: Se describe el desarrollo de un filtro butterworth implementado con los amplificadores operacionales de transconductancia variable.
- Cap3tulo 5: Se analizan los resultados obtenidos de los amplificadores de transconductancia variable, el circuito de polarizaci3n y los filtros butterworth y se proponen posibles mejoras a partir de los resultados obtenidos.

## CAPÍTULO 1. 1.4. MARCO REGULADOR

- Capítulo 6: Se evalúa el impacto socio-económico del trabajo y se incluye un presupuesto detallado del coste del proyecto.
- Capítulo 7: Se proyecta el plan de trabajo y la metodología seguida para la realización del proyecto.

La tercera y última parte del trabajo está compuesta por la bibliografía.

### 1.4. Marco regulador

El sistema desarrollado en este trabajo, los amplificadores de transconductancia variable, el circuito de polarización y los filtros, cumplen con la **LPI** establecida en el **R.D.L. 2/2018**<sup>1</sup>, al ser un trabajo de investigación se acoge al "**derecho de cita**", que permite hacer referencias a obras con *copyright* previamente divulgadas, indicando adecuadamente la fuente y el autor. [4]

Para desarrollar este proyecto solo se usa un software que es LTspice, un software libre bajo términos de licencia **BSD**<sup>2</sup> que permite libertad para su uso comercial e investigador. [5]

Si este trabajo fuese utilizado para otros proyectos de investigación o de desarrollo, habría que realizar un estudio legislativo para garantizar que se cumplen todas las normas aplicables. Se cumplirán los requisitos del **Reglamento de organización y funcionamiento del Comité de Ética en Investigación de la Universidad Carlos III de Madrid**<sup>3</sup>, en el cual se establecen las recomendaciones, pautas de actuación y compromisos para realizar las actividades de investigación en la universidad.[6]

---

<sup>1</sup>Real Decreto-ley 2/2018, de 13 de abril, por el que se modifica el texto refundido de la Ley de Propiedad Intelectual, aprobado por el Real Decreto Legislativo 1/1996, de 12 de abril, y por el que se incorporan al ordenamiento jurídico español la Directiva 2014/26/UE del Parlamento Europeo y del Consejo, de 26 de febrero de 2014, y la Directiva (UE) 2017/1564 del Parlamento Europeo y del Consejo, de 13 de septiembre de 2017 (BOE núm.91, de 14 de abril de 2018).

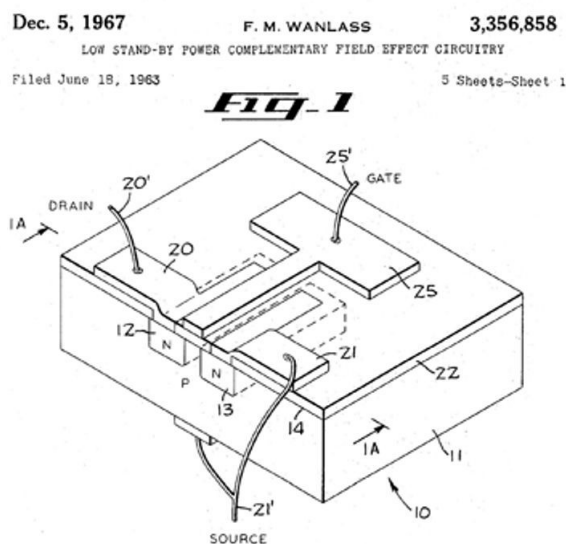
<sup>2</sup>Berkeley Software Distribution

<sup>3</sup>Aprobado por la Universidad Carlos III de Madrid, el 27 de Abril de 2017.

## 2. ESTADO DEL ARTE

La microelectrónica es la aplicación de la ingeniería electrónica a componentes y circuitos de dimensiones microscópicas. Además es un conjunto de reglas, requisitos, normas, materiales y procesos que aplicados en una secuencia determinada, permite obtener como producto final un circuito integrado. El desarrollo de la microelectrónica es debido a la aparición del transistor de contacto en 1948 ya que es un componente principal en sus diseños. En la actualidad el transistor mas utilizado es el MOS siendo la familia CMOS la más utilizada. El mayor potencial de esta tecnología se encontró en las comunicaciones pero hoy en día la tenemos presente en un alto porcentaje de circuitos electrónicos [7].

El diseño de circuitos con CMOS <sup>4</sup> fue inventado en 1963 por Frank Wanlass en Fairchild Semiconductor. La idea de que un circuito fuese hecho con MOS complementarios, un NMOS (n-channel transistor MOSFET) y un transistor PMOS (p-channel) era bastante novedosa debido a la inmadurez de la tecnología MOS y a la creciente popularidad del transistor de unión bipolar (Bipolar Junction Transistor, BJT)[8]. En la tecnología CMOS la escala de valores que se usa es nanométrica, refiriéndose a la mínima longitud del canal (L). Al describirse el tamaño de un transistor se refiere al ancho (W) y a la longitud de canal.



## CAPÍTULO 2. 2.1. AMPLIFICADORES DE TRANSCONDUCTANCIA VARIABLE

aislante para separar la puerta de la superficie. Si no se aplica voltage a la puerta, las regiones  $n^+$  están separadas por el sustrato  $p^-$ . La longitud del canal es la distancia entre el drenador (drain) y la fuente (source). También se puede apreciar que no hay ninguna diferencia física entre la fuente y el drenador.

En todo el capítulo a menos que sea indicado de otra forma se usarán los parámetros de la siguiente tabla (2.1) y las tensiones de polarización se explican en la sección Circuito de polarización de este capítulo.

Parametro	NMOS	PMOS	Comentario
Corriente de polarización, $I_D$	10 $\mu A$	10 $\mu A$	
W/L	50/2	100/2	Seleccionado basado en $I_D$ y $V_{ov}$
Actual W/L	2.5 $\mu m$ /100nm	5 $\mu m$ /100nm	$L_{min}$ es 50nm
$V_{DS,sat}$ y $V_{SD,sat}$	50 mV	50 mV	
$V_{ovn}$ y $V_{ovp}$	70 mV	70 mV	
$V_{GS}$ y $V_{SG}$	350 mV	350 mV	No hay efecto de cuerpo
$V_{THN}$ y $V_{THP}$	280 mV	280 mV	Típico
$\frac{\partial V_{THN,P}}{\partial T}$	-0,6 mV/ $^{\circ}C$	-0,6 mV/ $^{\circ}C$	Varía con la temperatura
$v_{satn}$ y $v_{satp}$	110 x 10 <sup>3</sup> m/s	90 x 10 <sup>3</sup> m/s	Del BISM4 model
$t_{ox}$	14 Å	14 Å	corriente del túnel de la puerta, 5 A/cm <sup>2</sup>
$C'_{ox} = \epsilon_{ox}/t_{ox}$	25 fF/ $\mu m^2$	25 fF/ $\mu m^2$	$C_{ox} = C'_{ox} WL \cdot (escala)^2$
$C_{oxn}$ y $C_{oxp}$	6.25 fF	12.5 fF	PMOS es dos veces mayor
$C_{gsn}$ y $C_{sgp}$	4.17 fF	8.34 fF	$C_{gs} = 2/3 C_{ox}$
$C_{gdn}$ y $C_{dgp}$	1.56 fF	3.7 fF	$C_{gd} = CGDO \cdot W \cdot escala$
$g_{mn}$ y $g_{mp}$	150 $\mu A/V$	150 $\mu A/V$	A $I_D = 10 \mu A$
$r_{on}$ y $r_{op}$	167 k $\Omega$	333 k $\Omega$	Aproximadamente a $I_D = 10 \mu A$
$g_{mn}r_{on}$ y $g_{mp}r_{op}$	25 V/V	50 V/V	Circuito abierto
$\lambda_n$ y $\lambda_p$	0.6 V <sup>-1</sup>	0.3 V <sup>-1</sup>	L = 2
$f_{Tn}$ y $f_{Tp}$	6000 MHz	3000 MHz	Aproximadamente L = 2

TABLA 2.1. PARÁMETROS DEL SHORT-CHANNEL MOSFET  
PARA UN DISEÑO ANALÓGICO GENERAL PARA VDD=1V Y UN  
FACTOR DE ESCALA DE 50NM

### 2.1. Amplificadores de Transconductancia Variable

El amplificador de transconductancia variable es un amplificador donde todos los nodos son de baja impedancia excepto los de entrada y salida, explicado de una forma más simple, es un amplificador con voltage a la entrada y corriente a la salida. La velocidad de operación de este amplificador es alta debido a la baja impedancia de los nodos internos. Un OTA en su configuración más simple es un amplificador diferencial con un espejo de corriente como carga, el cual se puede observar en la figura 2.2. Los OTA solo pueden soportar cargas capacitivas, pero con un buffer<sup>6</sup> en la salida pueden soportar cargas resistivas.[10]

<sup>6</sup>Permite hacer adaptación de impedancias entre circuitos



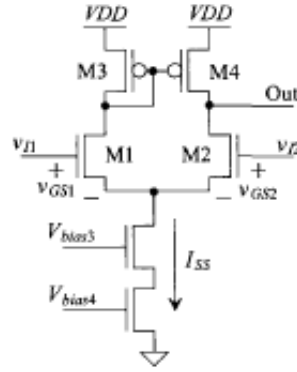


Fig. 2.2. Amplificador Diferencial con un espejo de corriente como carga [10].

En la figura 2.3 se puede apreciar un ejemplo más completo de OTA. Si se asume que los transistores M1-M2 y M31-M41 tienen las mismas dimensiones, el valor de las corrientes  $i_{d31}$  o  $i_{d41}$  es

$$-i_{d31} = i_{d41} = \frac{g_{mn}}{2}(v_p - v_m) = i_d \quad (2.1)$$

Si la impedancia del condensador es menor que la resistencia de salida <sup>7</sup> se puede escribir

$$i_{out} = i_{d4} - i_{d5} = 2i_d \quad (2.2)$$

La transconductancia del OTA es la siguiente

$$g_{mOTA} = \frac{i_{out}}{v_p - v_m} = \cdot g_m \quad (2.3)$$

Si la impedancia de la capacidad de salida es mayor que  $r_{o4} \parallel r_{o5}$ , entonces el voltage de salida de el OTA es

$$v_{out} = 2i_d(r_{o4} \parallel r_{o5}) \quad (2.4)$$

y la ganancia en voltage viene dada por la siguiente ecuación (2.5)

$$A_v = \frac{v_{out}}{v_p - v_m} = g_m \cdot (r_{o4} \parallel r_{o5}) \quad (2.5)$$

<sup>7</sup>A altas frecuencias

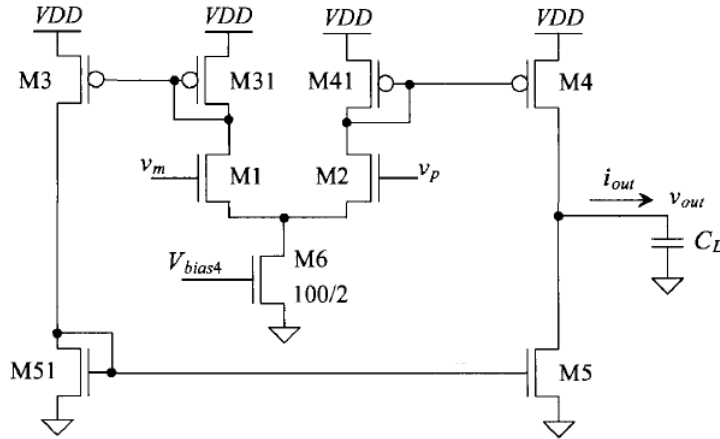


Fig. 2.3. Ejemplo de un amplificador de transconductancia variable (OTA) [10].

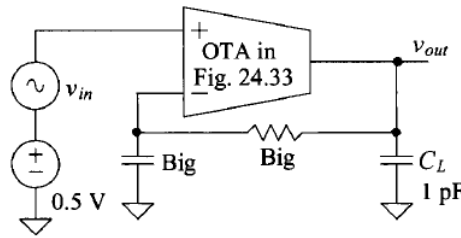


Fig. 2.4. Circuito en corriente continua con lazo abierto del OTA [10].

Para calcular la frecuencia unitaria,  $f_{un}$ , mediante la simulación de un OTA, se usa el esquema en DC que se observa en la figura 2.4. Para altas frecuencias la tensión de salida es

$$v_{out} = i_{out} \cdot \frac{1}{j\omega \cdot C_L} = g_{mn} v_{in} \cdot \frac{1}{j\omega \cdot C_L} \quad (2.6)$$

La frecuencia unitaria se define en el punto donde la ganancia en lazo abierto es unitaria

$$\frac{g_{mn}}{2\pi f_{un} \cdot C_L} = 1 \rightarrow f_{un} = \frac{g_{mn}}{2\pi C_L} \quad (2.7)$$

La localización del polo se estima usando la ecuación (2.8)

$$f_{3dB} = \frac{1}{2\pi(r_{o4} \parallel r_{o5})C_L} \quad (2.8)$$

## 2.2. Telescópico

El telescópico es una arquitectura del amplificador de transconductancia variable. Es llamado telescópico porque los cascodos están conectados en serie con el transistor del par diferencial, dando como resultado una estructura en la cual los transistores de cada rama están conectados en línea, como las lentes de un telescopio refractor. En este proyecto se estudia por su alta ganancia e impedancia de salida.

En la figura 2.5 se tiene un amplificador diferencial con espejo de corriente como carga, con una ganancia de  $g_m(r_{o2} \parallel r_{o4})$ . Para muchas aplicaciones esta ganancia es muy baja[11].

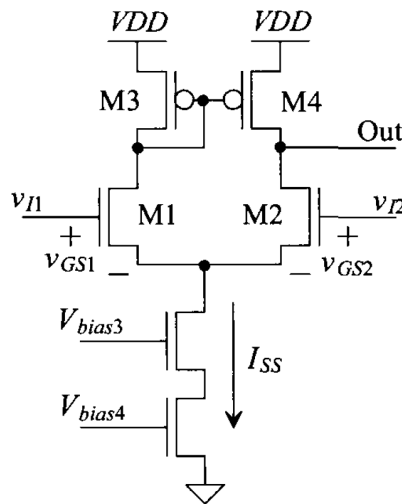


Fig. 2.5. Amplificador diferencial con espejo de corriente como carga [11].

Los amplificadores telescópicos como el de la figura 2.6 son una mejora del analizado anteriormente, ya que si se usa una carga espejo de corriente en lugar de M3/M4, se obtiene una ganancia aproximada a  $g_m r_{o2}$ <sup>8</sup>. Esta pequeña mejora en ganancia puede incrementarse tanto como se incluyan cascodos de M1 y M2 en el diseño.

<sup>8</sup>La resistencia de la carga pasa a ser más grande que la resistencia vista desde el drenador de M2

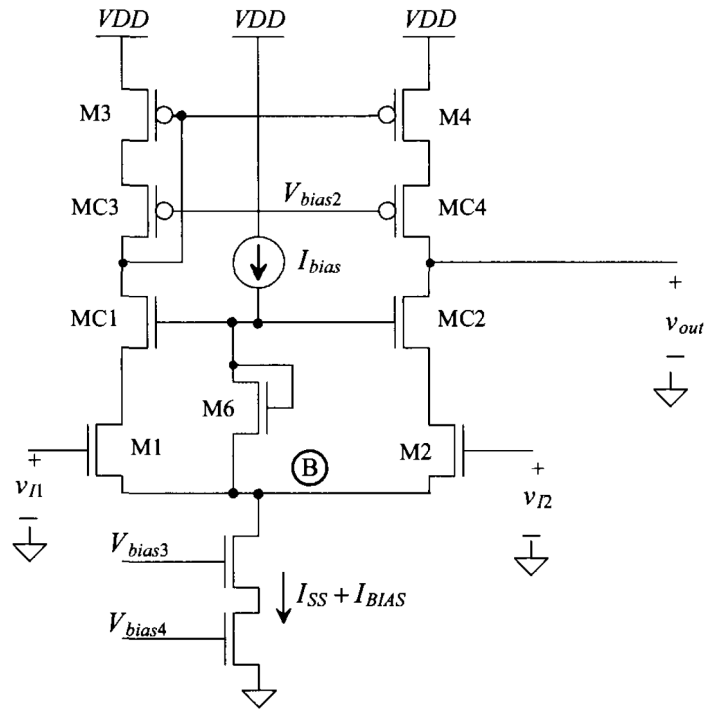


Fig. 2.6. Amplificador diferencial telescópico [11].

El transistor M6 está seleccionado para que su  $V_{GS}$  mantenga a M1/M2 y MC1/MC2 zona de saturación. La ganancia de esta configuración viene dada

$$A_d = g_{m1} \cdot (R_{intoDC2} \parallel R_{intoDC4}) \quad (2.9)$$

La resistencia vista desde el drenador de MC2<sup>9</sup> es

$$R_{intoDC2} \simeq g_{m2} \cdot r_{o2}^2 \quad (2.10)$$

y la resistencia vista desde MC4<sup>10</sup> es

$$R_{intoDC4} \simeq g_{m4} \cdot r_{o4}^2 \quad (2.11)$$

Entonces la ganancia del telescópico se puede escribir como

$$A_d = g_{m1} \cdot (g_{m2} \cdot r_{o2}^2 \parallel g_{m4} \cdot r_{o4}^2) \quad (2.12)$$

El uso de los amplificadores telescópicos presenta como inconveniente la reducción del rango en el positivo del modo-común. Se puede apreciar que  $V_{CCMAX}$  en este caso está limitado por el voltage necesario para mantener M1,MC1, MC3 y M3 en sus zonas de saturación

Algunos ejemplos de esta arquitectura se desarrollan en los presentes artículos [12] y [13].

<sup>9</sup>Asumiendo que M2 y MC2 son iguales

<sup>10</sup>Asumiendo que M4 y MC4 son iguales

### 2.3. Folded-cascode

El Folded-cascode es una arquitectura de los amplificadores de transconductancia variable. En este trabajo se estudia ya que mejora el rango de salida respecto a la arquitectura telescópica.

En la figura 2.7 se puede apreciar un ejemplo de un NMOS amplificador diferencial folded-cascode.

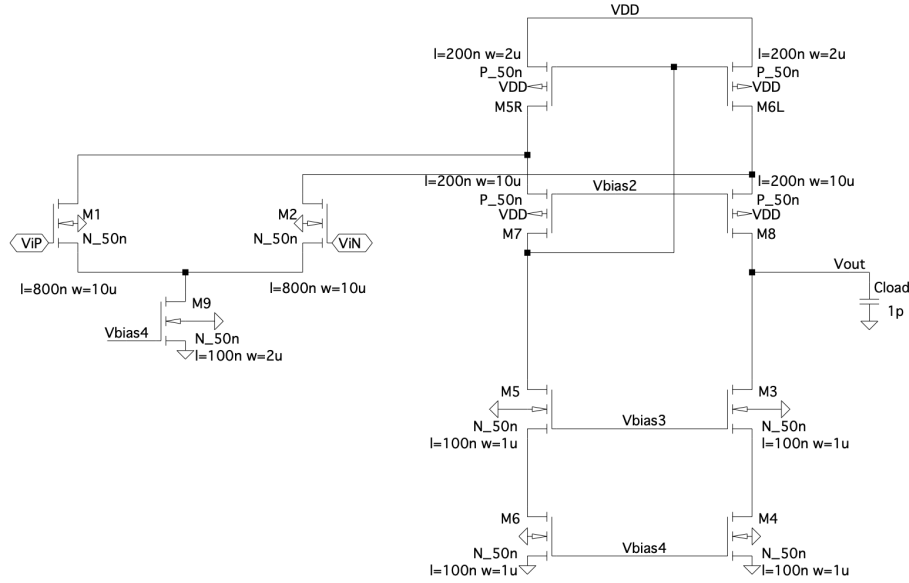


Fig. 2.7. Folded-cascode OTA.

Las ecuaciones de AC presentadas en la sección anterior también son válidas en esta [10]. La corriente alterna del drenador de M1 y M2 se expresa

$$i_{d1} = -i_{d2} = g_{mn}v_{gs1} = -g_{mn}v_{gs2} \quad (2.13)$$

Se sabe que

$$v_p - v_m = v_{gs1} + (-v_{gs2}) \quad (2.14)$$

entonces,

$$i_{d1} = i_{d5} = i_{d6} = (v_p - v_m) \frac{g_m}{2} \quad (2.15)$$

como se observa que la corriente de M7 es idealmente cero. La corriente de M8 es

$$i_{d8} = i_{d6} - i_{d2} = 2 \cdot i_{d1} \quad (2.16)$$

el voltage de salida es

$$v_{out} = i_{d8} \cdot (R_{ocasn} \parallel R_{ocasp}) \quad (2.17)$$

para obtener la frecuencia a 3dB de el OTA en bucle abierto se aplicará la siguiente ecuación

$$f_{3dB} = \frac{1}{2\pi(R_{ocasn} \parallel R_{ocasp})C_L} \quad (2.18)$$

## CAPÍTULO 2. 2.4. CIRCUITO DE POLARIZACIÓN

Mientras que la ecuación (2.7) expresa la frecuencia unitaria. La figura 2.4 representa un esquemático para poder calcular las frecuencias.

Se pueden apreciar algunos ejemplos de esta arquitectura presentado en los artículos [14] [15]

### 2.4. Circuito de polarización

En la figura 2.8 se aprecia un circuito de polarización para un diseño analógico en short-channel. Compuesto por un circuito llamado Beta-multiplier que será explicado más adelante en esta sección y de cascodos que generan varias tensiones de polarización. M7 es una capacidad para estabilizar el circuito. Se ha elegido el PMOS en el Beta-multiplier para polarizar el espejo de corriente con el objetivo de aumentar la capacidad de  $V_{biasp}$  y de esta manera mejorar la estabilidad del circuito.

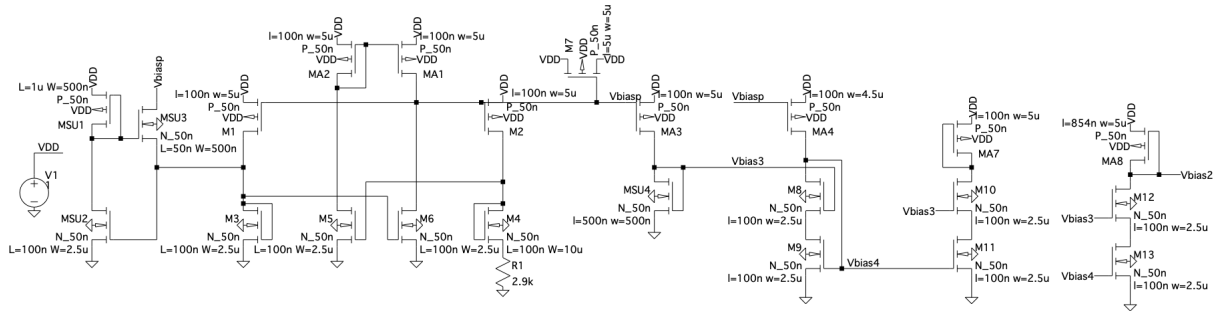


Fig. 2.8. Circuito de polarización para short-channel.

#### 2.4.1. Beta-multiplier

En la figura 2.9 se muestra un circuito de polarización Beta-multiplier. Como se puede apreciar los valores de las corrientes de referencia varían con  $V_{DD}$  habiendo una gran sensibilidad a variaciones de esta tensión. Como es sabido, las bajas resistencias de salida de los dispositivos short-channel causan que la corriente del drenador cambie significativamente variando el voltage  $V_{DS}$ . [16]

# DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

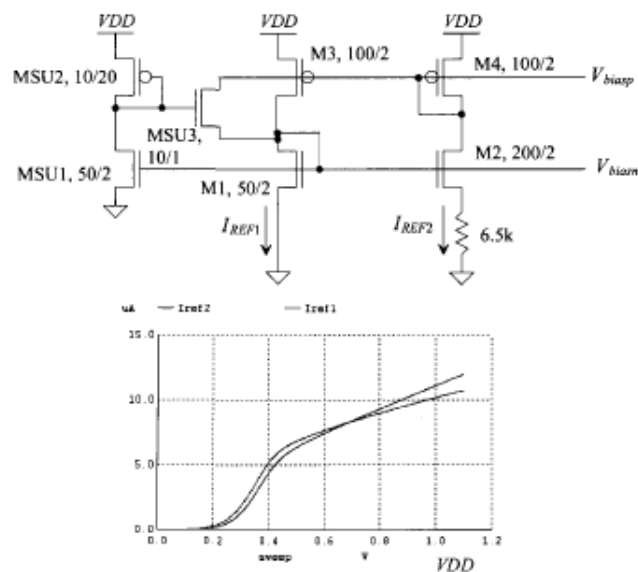


Fig. 2.9. Beta-multiplier para un diseño short-channel[16].

Se necesita reducir la variación de  $V_{DS}$  de los transistores NMOS con cambios en  $V_{DD}$ , para reducir la sensibilidad. Se añade un amplificador diferencial al circuito básico de Beta-multiplier como se muestra en la figura 2.10. El uso del amplificador es comparar el voltage del drenador de M1( $V_{biasn}$ ) con el voltage del drenador de M2( $V_{reg}$ ) y regular que ambas sean iguales.

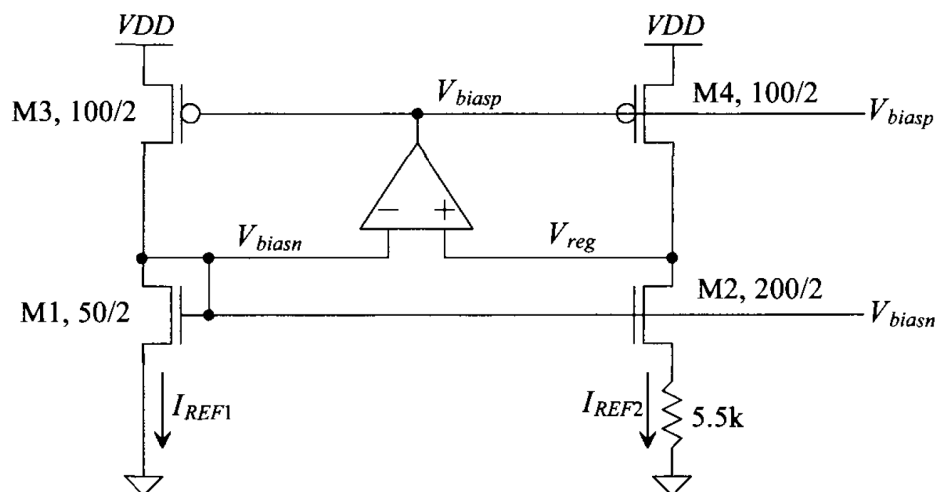


Fig. 2.10. Beta-multiplier circuito con un amplificador operacional [16].

En la figura 2.11 se puede observar como las corrientes de referencia del circuito de la figura 2.10 varían con respecto a cambios de  $V_{DD}$  al añadir el amplificador operacional. El valor de la resistencia R se puede elegir dependiendo del valor de  $I_{REF2}$  que se desee.

## CAPÍTULO 2. 2.4. CIRCUITO DE POLARIZACIÓN

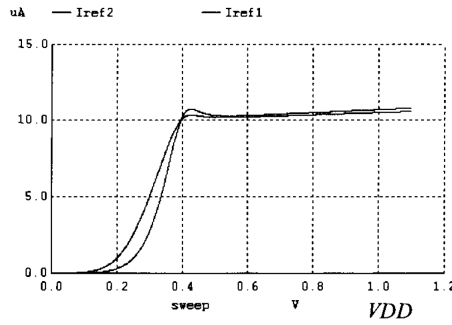


Fig. 2.11. Respuesta de las corrientes de referencia a cambios de  $V_{DD}$  cuando se añade un amplificador operacional al circuito Beta-multiplier [16].

La figura 2.12 muestra una configuración del amplificador operacional de la figura 2.10 con transistores.

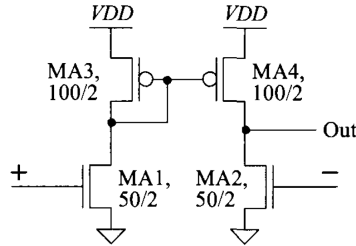


Fig. 2.12. Posible amplificador diferencial [16].

En la figura 2.13 se muestra un circuito de polarización Beta-multiplier en short-channel. El amplificador de la figura 2.10 es sustituido por el de la figura 2.12. Un amplificador operacional con realimentación y con un único nodo de alta impedancia es fácil de compensar. La referencia tiene un nodo de alta impedancia, que es  $V_{biasp}$ , por lo que se conecta la puerta de M2 a su drenador. Aún se mantiene el efecto de la figura 2.10 pero se ha disminuido la ganancia en el lazo de realimentación.

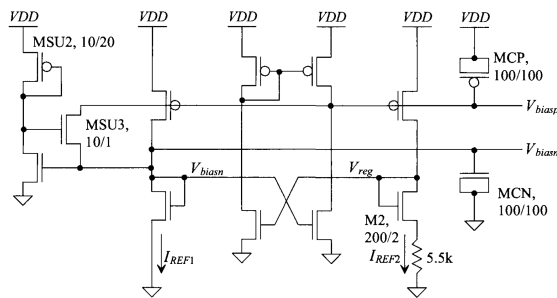


Fig. 2.13. Circuito de polarización Beta-multiplier mejorado [16].

Se añaden condensadores (MCP y MCN) al circuito para hacer las corrientes de referencia estables. Si las corrientes de referencia alimentan un gran número de MOSFETs,



los condensadores pueden ser eliminados del diseño. En la figura 2.14 se aprecia una simulación del circuito Beta-multiplier mejorado de la figura 2.13.

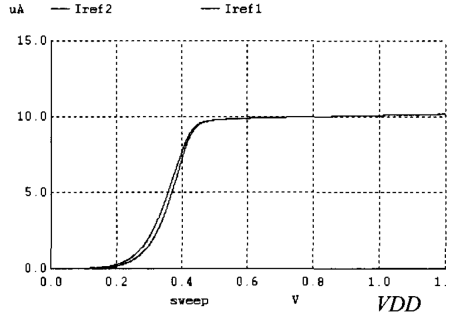


Fig. 2.14. Variación de las corrientes de referencia respecto a  $V_{DD}$  de la figura(2.13)[16].

## 2.5. Filtro Butterworth

El filtro butterworth es un tipo de filtro que es definido siempre para el paso bajo. El ingeniero británico S. Butterworth fue el que describió este filtro en su libro “On the Theory of Filter Amplifiers”.

Su función característica es

$$F(\omega)^2 = \left(\frac{\omega}{\omega_c}\right)^{2n} \quad (2.19)$$

Este tipo de filtro tiene una respuesta plana en la banda de paso, una caída de 20n dB/década en la banda atenuada y es un filtro caracterizado por los valores de  $\omega_c$  y n

Para diseñar el filtro se tiene que encontrar la  $\omega_c$  y n que satisfagan las necesidades. Para el cálculo del orden se debe cumplir con la siguiente ecuación

$$n \geq \frac{\ln K_d}{\ln K_s} \quad (2.20)$$

siendo  $K_s = \omega_o/\omega_s$  y  $K_d$  valores especificados.

Para calcular la frecuencia de corte ( $\omega_c$ ) del filtro hay que imponer que pase por la esquina( $\omega_p, H_p$ )

$$\omega_c = \frac{\omega_p}{\left[\frac{1}{H_p^2} - 1\right]^{\frac{1}{2n}}} \quad (2.21)$$

En la figura 2.15 se puede apreciar un diagrama de Bode de amplitud de filtros Butterworth de orden creciente

## CAPÍTULO 2. 2.5. FILTRO BUTTERWORTH

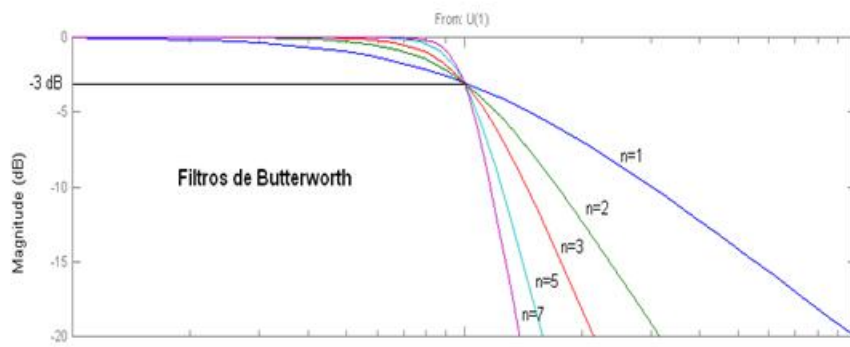


Fig. 2.15. Bode de amplitud de filtros Butterworth de orden creciente

El mayor uso de estos filtros se encuentra en los filtros anti-aliasing y en aplicaciones de conversión de datos.

En los artículos [17] y [18] se puede profundizar en el diseño de filtros butterworth.

### 3. AMPLIFICADORES DE TRANSCONDUCTANCIA VARIABLE

En este trabajo se desarrollaran dos topologías de los amplificadores de transconductancia variable, una telescópica y otra folded-cascode. Estos dos amplificadores son objetos de estudio porque poseen alta ganancia e impedancia de salida. Primero se diseña y simula la topología telescópica y comprobamos que cumple con los objetivos descritos en la sección 1.2. Seguidamente se hará lo mismo pero con una arquitectura folded-cascode, se diseña porque mejora el rango dinámico de salida comparado con la topología telescópica aunque el consumo de corrientes es el doble. Por último se desarrolla un circuito de polarización para cada arquitectura con el objetivo de poder suministrar las tensiones de polarización en cada caso.

Tanto las arquitecturas de los amplificadores de transconductancia variable como el circuito de polarización son diseñadas y simuladas en LTspice<sup>11</sup>. Para los amplificadores se realizan tres tipo de simulaciones, análisis en AC, análisis temporal y del punto de operación de los transistores. Al circuito de polarización solo se le realiza una simulación, análisis del punto de operación.

#### 3.1. Telescópico

En esta sección se describe la arquitectura telescópica de un amplificador de transconductancia variable tomando como referencia la sección 2.2 del Estado del Arte.

##### 3.1.1. Telescópico ideal

El análisis de esta arquitectura se desarrolla en diferentes partes. Primero se modela el amplificador con una fuente de corriente para obtener la ganancia en continua deseada. Seguidamente se dimensionan los transistores del amplificador, buscando siempre el punto más óptimo para obtener la mayor ganancia, fijando las tensiones de polarización. Después se sustituye la fuente de corriente del amplificador ideal por un transistor. Por último se hace un diseño final del amplificador y una simulación, para comprobar que se cumplen los objetivos marcados en la sección 1.2, de esta arquitectura .

---

<sup>11</sup>software informático gratuito que implementa un simulador de circuito electrónico SPICE, producido por el fabricante de semiconductores Linear Technology, que ahora forma parte de Analog Devices

### CAPÍTULO 3. 3.1. TELESCÓPICO

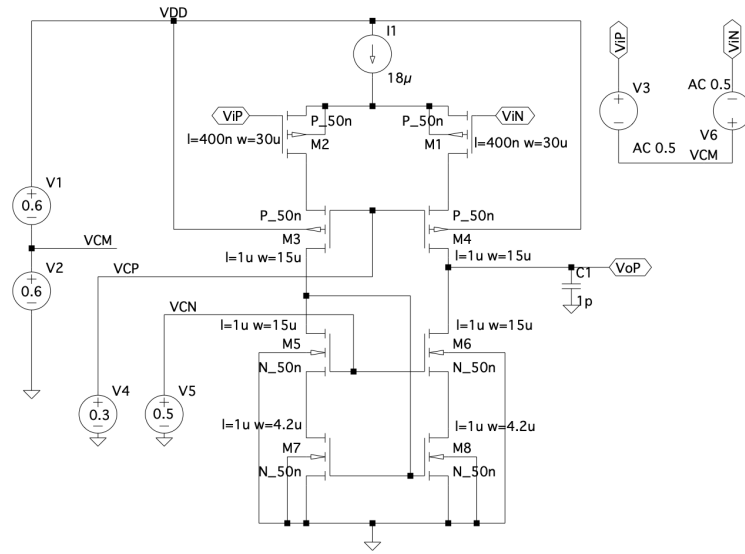


Fig. 3.1. Amplificador Telescópico ideal.

Se parte de este amplificador telescópico ideal, figura 3.1, con una fuente de corriente, alimentado a 1.2 V, con tecnología de 50 nm y con transistores PMOS para la entrada diferencial.

#### 3.1.2. Dimensionado de los transistores

Para alcanzar la ganancia en continua y el producto ganancia-ancho de banda deseados se usa una fuente de corriente de  $18 \mu A$ . Para optimizar este amplificador hay que hacer un buen dimensionado de los transistores, con el objetivo de que estén en la zona de saturación, tengan la mayor ganancia posible y resistencia de salida. Como se aprecia en las ecuaciones (2.12) y (2.7) estos requisitos de los transistores son muy importantes para diseñar un amplificador telescópico.

Para el dimensionado de los transistores hay que tener en cuenta que se trabaja en tecnología short-channel. Lo primero es que  $V_{DS,sat} = V_{GS} - V_{th}$  ya no se cumple y ahora se tiene una nueva ecuación [19]

$$V_{ov} = V_{GS} - V_{th} \quad (3.1)$$

La corriente de polarización de los transistores es [19]

$$i_D = v_{sat} \cdot C'_{ox} \cdot W \cdot (v_{GS} - V_{th} - V_{DS,sat}) \quad (3.2)$$

La transconductancia para los MOSFET en short-channel es [19]

$$g_m = \left[ \frac{\partial i_D}{\partial v_{GS}} \right] = v_{sat} \cdot C'_{ox} \cdot W \quad (3.3)$$

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

La resistencia de salida viene dada por la siguiente ecuación [19]

$$r_o = \frac{1}{\partial I_D} \quad (3.4)$$

Para dimensionar los transistores en esta sección se usa el método de simulación ya que es más fiable y rápido.

Se empieza dimensionando los transistores del par diferencial.

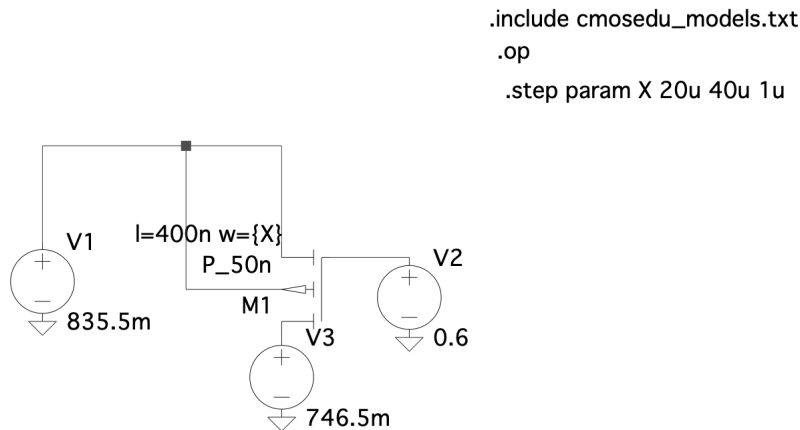


Fig. 3.2. Transistor M2.

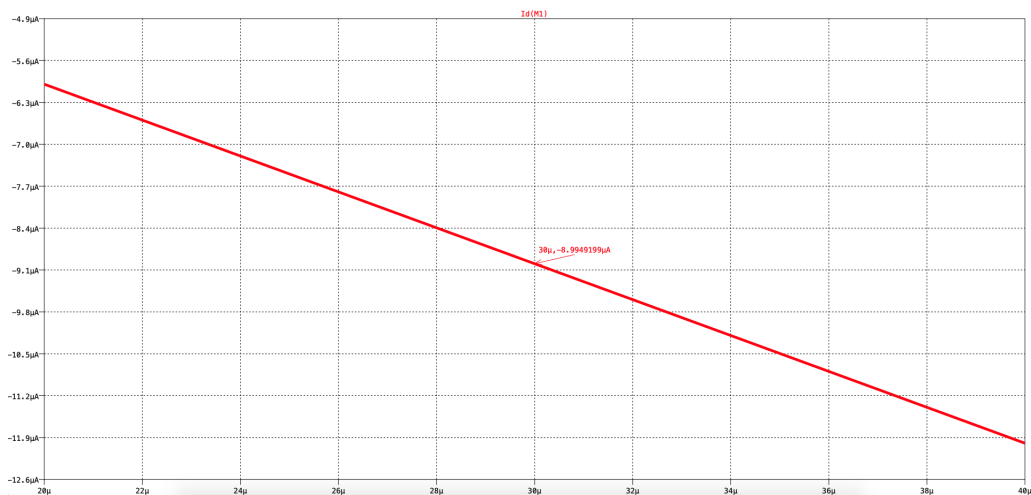


Fig. 3.3. Simulación paramétrica del ancho de canal de M2.

Como se observa en la figura 3.2 se desea una  $V_{DS} = 90mV$ , por lo cual se realiza una simulación paramétrica variando los valores del ancho del canal del transistor, para obtener la corriente del drenador que fluye por esa rama del amplificador,  $I_D = 9\mu A$ . A la vista de los resultados obtenidos, figura 3.3, por la simulación se necesita un ancho de canal de  $30\mu m$ .

### CAPÍTULO 3. 3.1. TELESCÓPICO

A continuación se realiza la misma simulación para el transistor M4 pero en este caso se desea una  $V_{DS} = 391mV$  y la tensión de polarización  $V_{bias2} = 300mV$  es fijada.

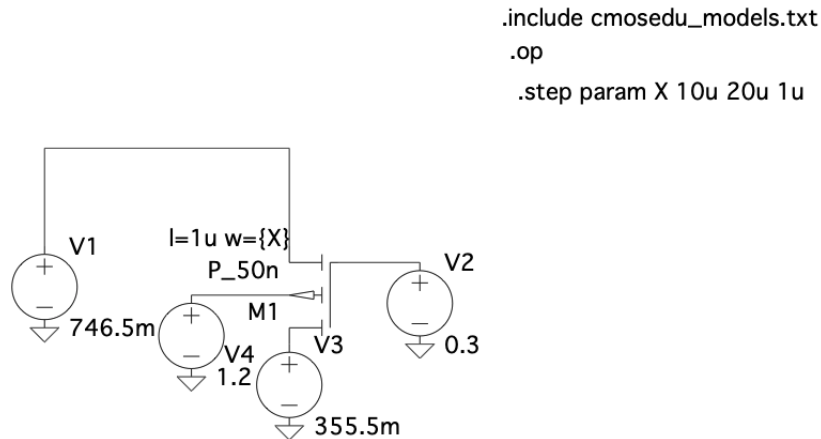


Fig. 3.4. Transistor M4.

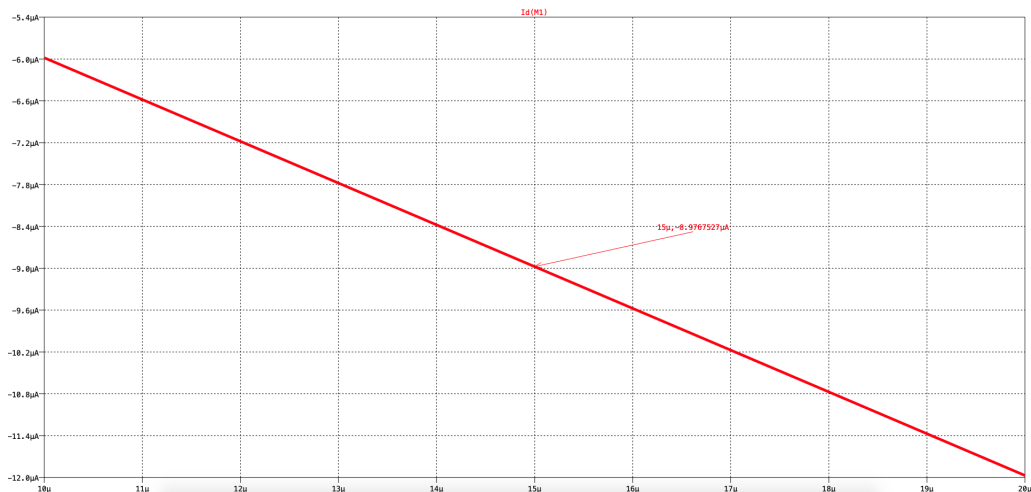


Fig. 3.5. Simulación paramétrica del ancho de canal de M4.

Con los resultados de la simulación, figura 3.5, se necesita un ancho de canal de  $15\mu m$  para obtener la corriente necesaria en el transistor,  $I_D = 9\mu A$ .

Para dimensionar el transistor NMOS M6 se plantean las condiciones deseadas en el circuito de la figura 3.6 y se realiza una simulación paramétrica como en los casos anteriores, pero en este caso se le fija su tensión de polarización  $V_b = 0,5V$ .

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

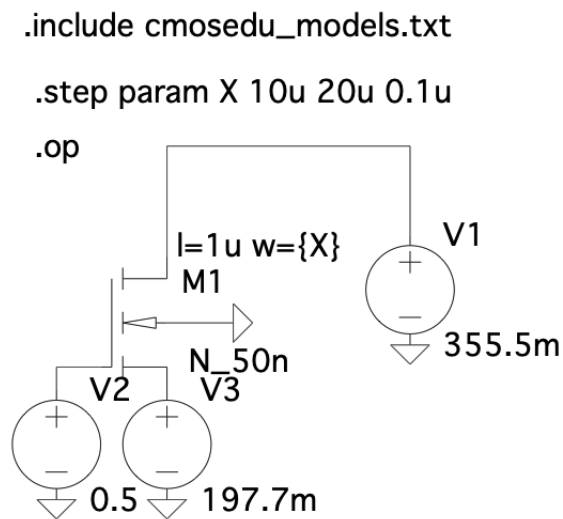


Fig. 3.6. Transistor M6.

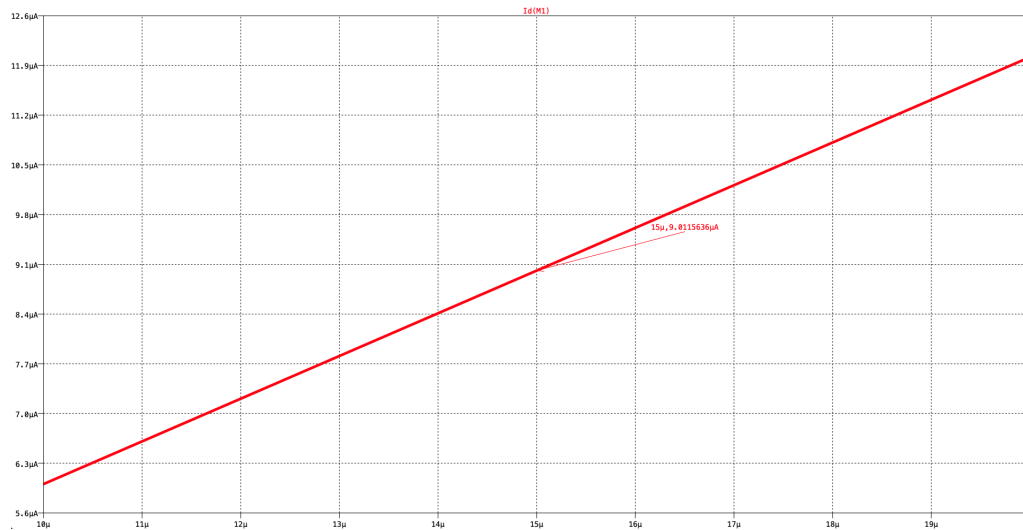


Fig. 3.7. Simulación paramétrica del ancho de canal de M6.

En este caso es necesario un ancho de canal de  $15\mu\text{m}$  para cumplir con las especificaciones.

El último transistor en dimensionar es el M8, se ha llevado a cabo igual que el caso anterior pero con sus condiciones propias como se puede apreciar en la figura 3.8,  $V_b = 331.8\text{ mV}$  y  $V_{DS} = 197.7\text{ mV}$

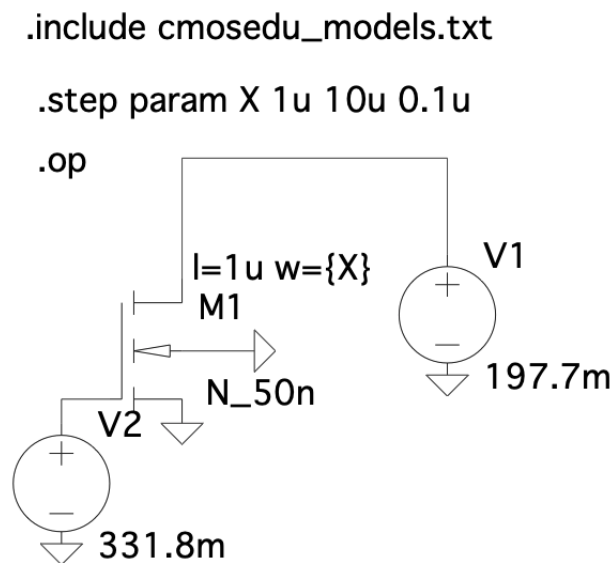


Fig. 3.8. Transistor M8.

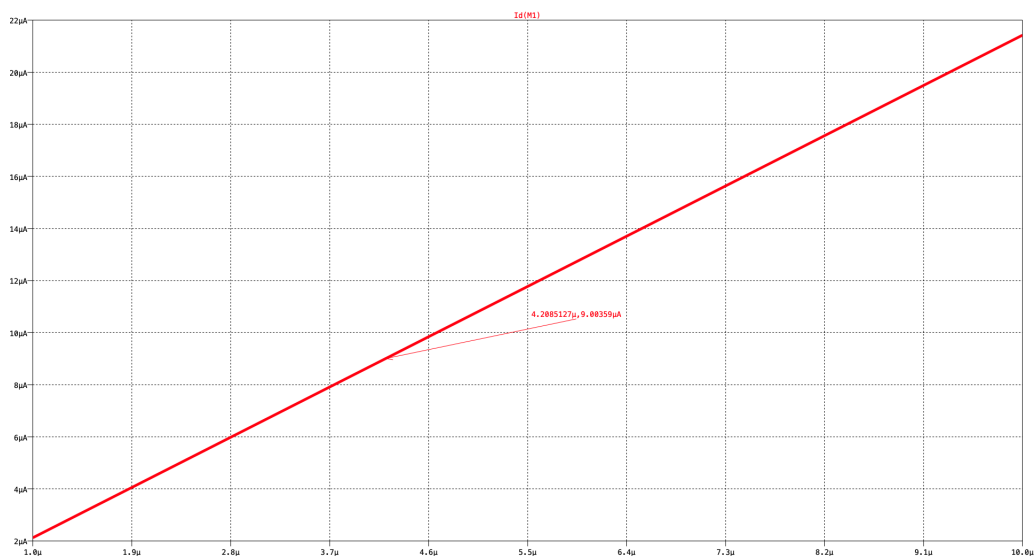


Fig. 3.9. Simulación para-métrica del ancho de canal de M8.

Para que el transistor M8 cumpla con las especificaciones requeridas, se observa que en la simulación se obtiene un valor de  $4.2 \mu m$  para el ancho de canal.

El resto de los transistores no se dimensionan ya que poseen las mismas dimensiones que su pareja, es decir las dimensiones de M1-M2 son las mismas, al igual que M3-M4, M5-M6 y M7-M8.

Después de dimensionar todos los transistores del amplificador pasamos a realizar tres simulaciones. La primera simulación es un análisis en AC, figura 3.10, con el circuito de la figura 3.1, con el objetivo de poder analizar la ganancia en continua y el producto



## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

ganancia-ancho de banda. La segunda es en el dominio del tiempo, expuesta en la figura 3.11, se realiza para ver el Slew Rate del amplificador y lleva un circuito diferente al mostrado anteriormente, por lo cual este nuevo circuito se muestra en la figura 3.12. La tercera y última simulación es sobre el punto de operación de los transistores, con el propósito de comprobar que están en el punto de operación deseado, los cuales se pueden apreciar en la tabla 3.1.

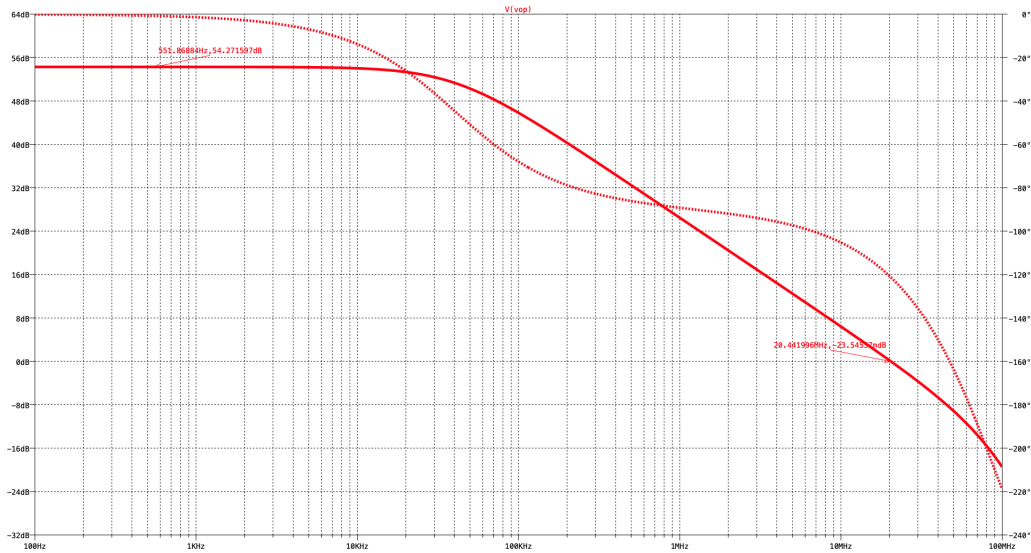


Fig. 3.10. Diagrama de Bode del Amplificador Telescópico.

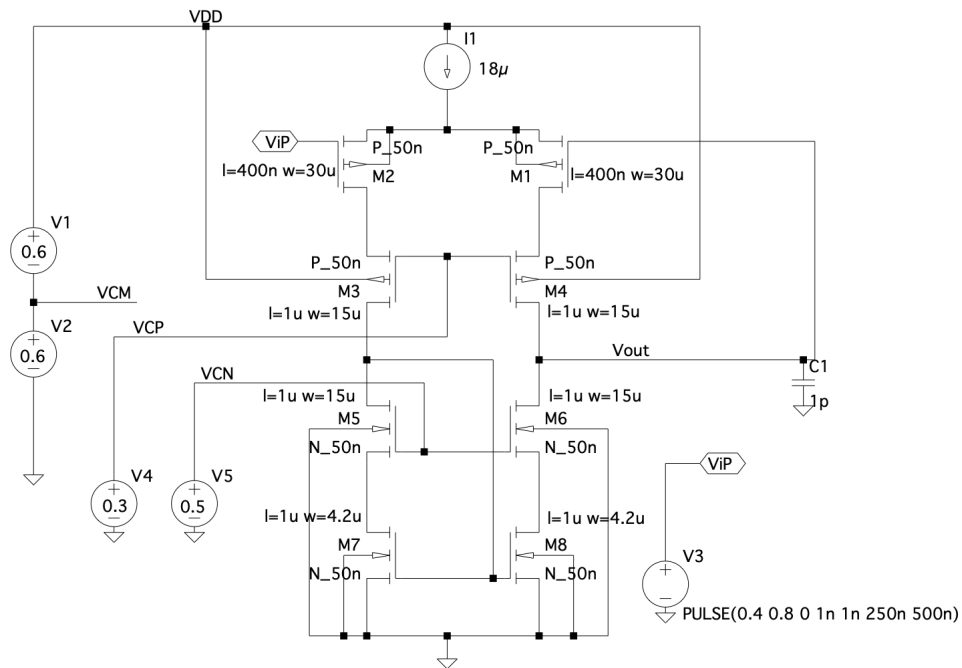


Fig. 3.11. Amplificador Telescópico ideal con realimentación negativa unitaria y señal de pulso de entrada.

## CAPÍTULO 3. 3.1. TELESCÓPICO

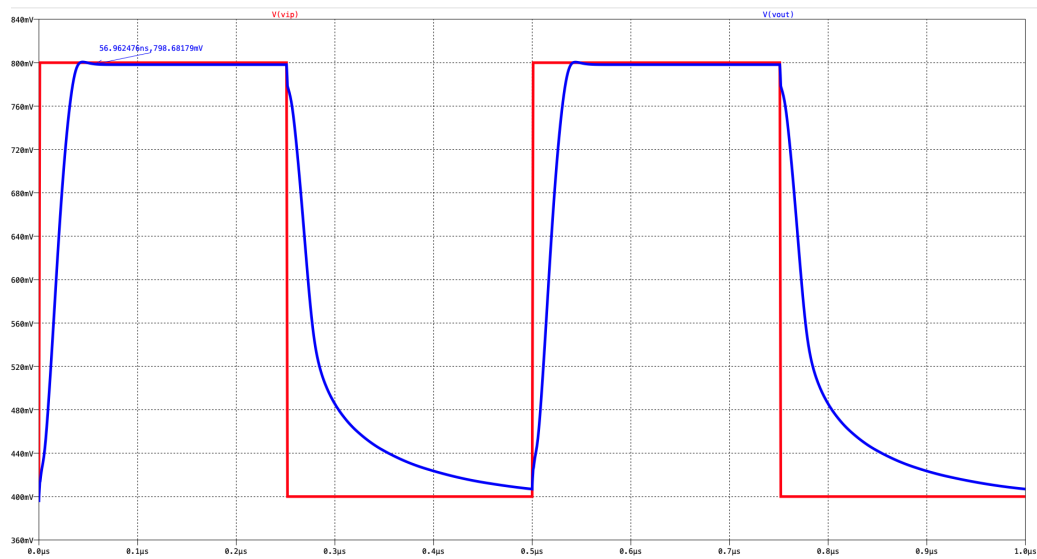


Fig. 3.12. Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso.

Nombre	M8	M7	M6	M5	M4	M3	M2	M1
Modelo	n_50n	n_50n	n_50n	n_50n	p_50n	p_50n	p_50n	p_50n
$I_d$	8.99e-06	8.99e-06	8.99e-06	8.99e-06	-8.99e-06	-8.99e-06	-9.00e-06	-8.99e-06
$V_{gs}$	3.32e-01	3.32e-01	3.02e-01	3.03e-01	-4.47e-01	-4.46e-01	-2.37e-01	-2.37e-01
$V_{ds}$	1.98e-01	1.97e-01	1.53e-01	1.35e-01	-3.96e-01	-4.15e-01	-9.01e-02	-9.00e-02
$V_{bs}$	0.00e+00	0.00e+00	-1.98e-01	-1.97e-01	4.53e-01	4.54e-01	0.00e+00	0.00e+00
$V_{th}$	2.36e-01	2.36e-01	2.8e-01	2.8e-01	-3.38e-01	-3.38e-01	-2.48e-01	-2.48e-01
$V_{dsat}$	1.08e-01	1.08e-01	7.17e-02	7.20e-02	-1.373e-01	-1.373e-01	-2.48e-01	-2.48e-01
$G_m$	1.07e-04	1.07e-04	1.52e-04	1.51e-04	1.05e-04	1.05e-04	1.62e-04	1.62e-04
$G_{ds}$	4.05e-06	4.06e-06	5.78e-06	6.96e-06	1.17e-06	1.14e-06	1.99e-05	2.00e-05
$G_{mb}$	3.37e-05	3.37e-05	4.13e-05	4.12e-05	2.85e-05	2.86e-05	4.96e-05	4.96e-05
$C_{bd}$	3.96e-15	3.96e-15	1.36e-14	1.36e-14	1.22e-14	1.22e-14	2.92e-14	2.92e-14
$C_{bs}$	4.20e-15	4.20e-15	1.41e-14	1.41e-14	1.33e-14	1.33e-14	3.00e-14	3.00e-14

TABLA 3.1. PUNTO DE OPERACIÓN DE LOS TRANSISTORES DEL AMPLIFICADOR TELESCÓPICO IDEAL.

Después de ver los resultados de las simulaciones anteriores se puede concluir que el amplificador telescópico ideal cumple bastante bien con los objetivos marcados en la sección 1.2 y todos sus transistores están en zona de saturación.

### 3.1.3. Telescópico real

El último paso que se tiene que dar para tener un amplificador real es cambiar la fuente de corriente por un transistor que cumpla con las características de esta. En la figura 3.13 se puede observar como se ha caracterizado este transistor mediante una simulación paramétrica variando el ancho del canal y fijando su tensión de base a  $V_b = 868,4mV$ .

# DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

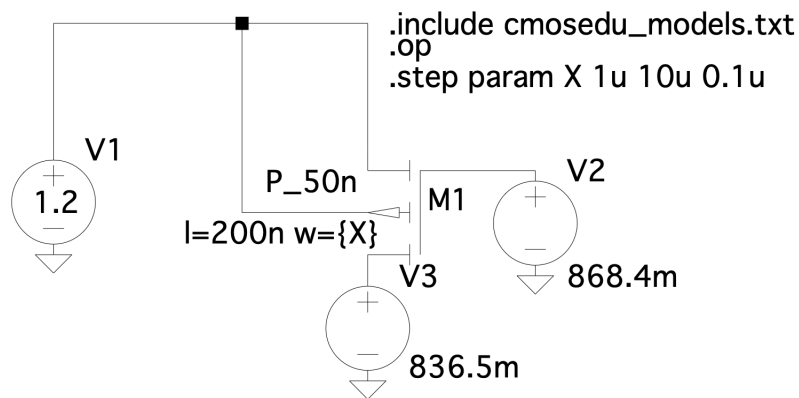


Fig. 3.13. Transistor M9.

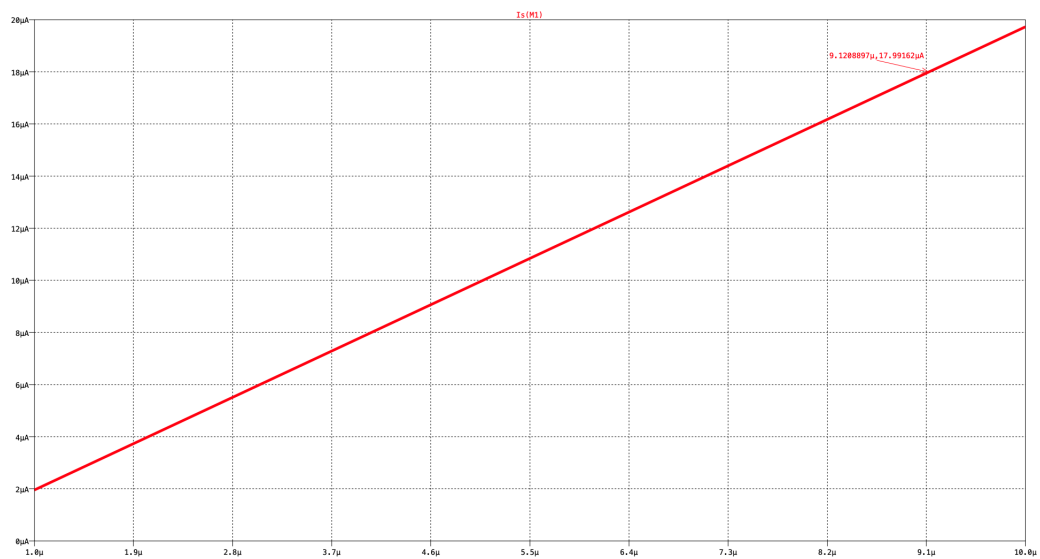


Fig. 3.14. Simulación para-métrica del ancho de canal de M9.

En la simulación se obtiene un valor de  $9 \mu m$  para la W de M9.

El amplificador telescópico real en su versión final se puede apreciar en la figura 3.15 el cual está solo compuesto por transistores, los cuales ya han sido previamente dimensionados.

### CAPÍTULO 3. 3.1. TELESCÓPICO

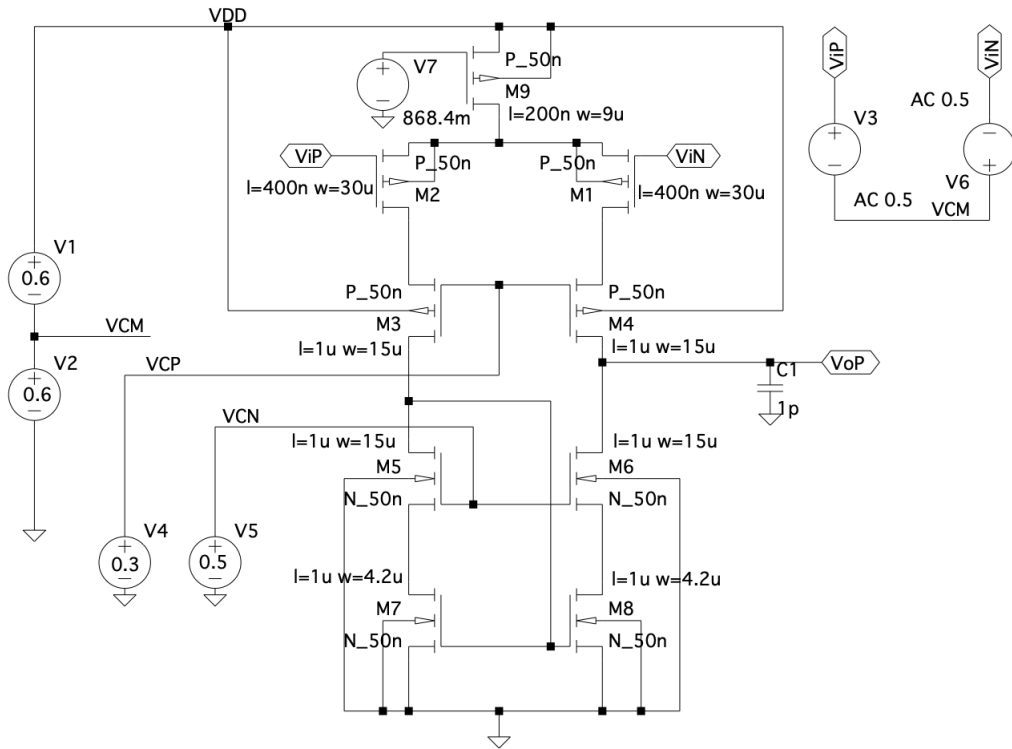


Fig. 3.15. Amplificador Telescópico real.

A continuación se pueden apreciar las simulaciones de este amplificador telescópico, iguales a las ya realizadas anteriormente para el ideal. La primera es un análisis en AC, con el circuito de la figura 3.15, la cual se puede observar en la figura 3.16. La segunda es en el dominio del tiempo, se realiza sobre el circuito de la figura 3.17 y su resultado se muestra en la figura 3.18. La tercera es del punto de operación de los transistores, expuestos en la tabla 3.2.

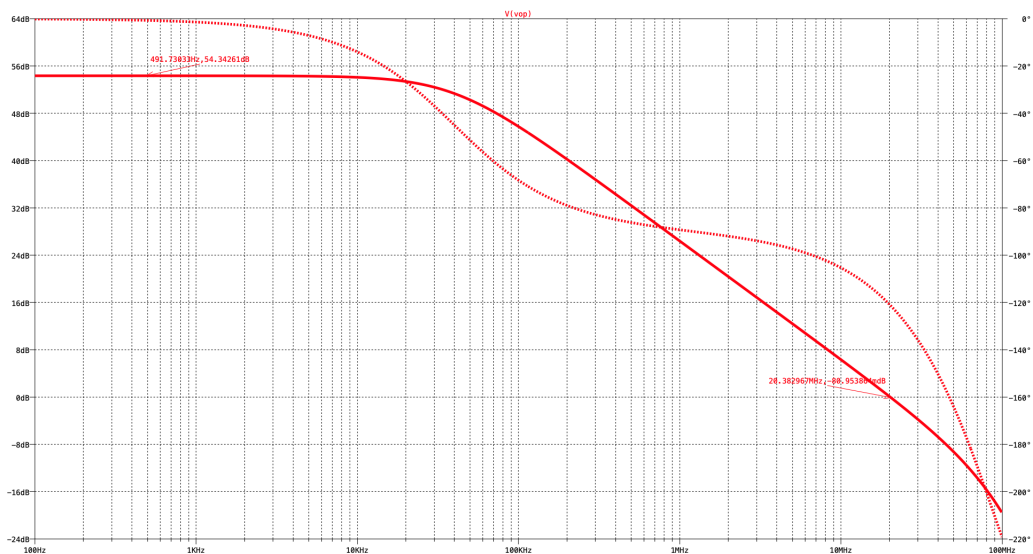


Fig. 3.16. Diagrama de Bode del Amplificador Telescópico real.

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

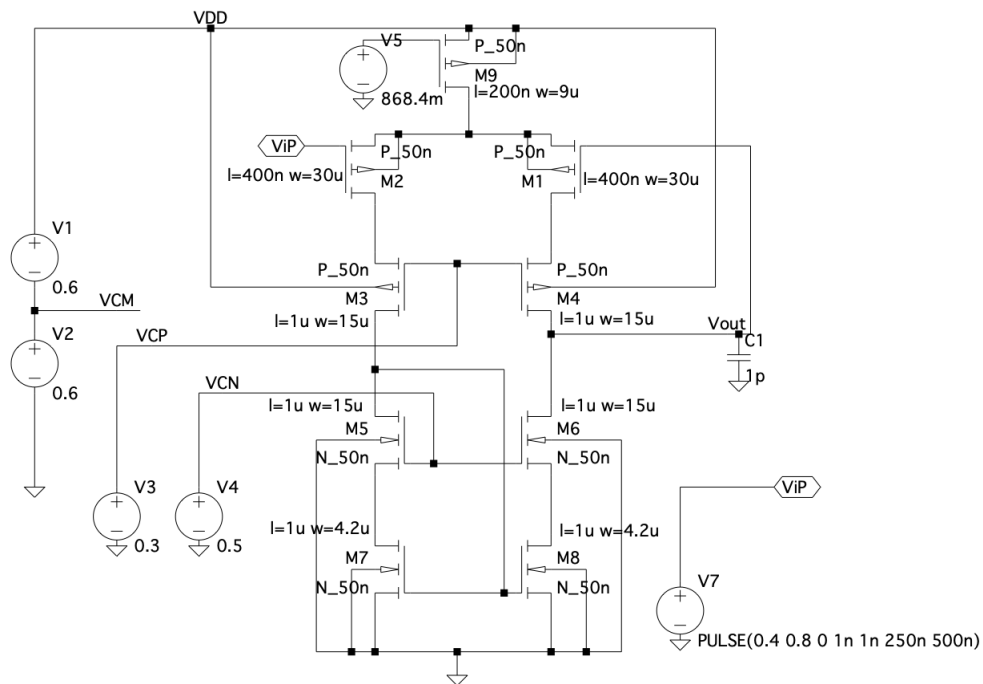


Fig. 3.17. Amplificador Telescópico real con realimentación negativa unitaria y señal de pulso de entrada.

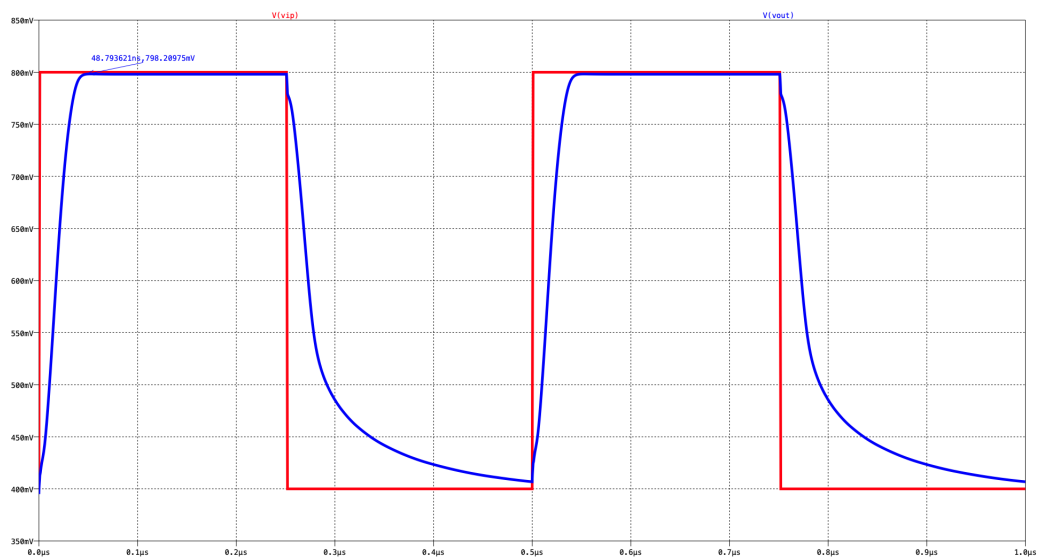


Fig. 3.18. Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso.

## CAPÍTULO 3. 3.2. FOLDED-CASCODE

Nombre	M9	M8	M7	M6	M5	M4	M3	M2
Modelo	p_50n	n_50n	n_50n	n_50n	n_50n	p_50n	p_50n	p_50n
$I_d$	-1.81e-05	9.03e-06	9.03e-06	9.03e-06	9.02e-06	-9.03e-06	-9.03e-06	-9.04e-06
$V_{gs}$	-5.35e-01	3.32e-01	3.32e-01	3.03e-01	3.03e-01	-4.47e-01	-4.47e-01	-2.37e-01
$V_{ds}$	-3.63e-01	1.97e-01	1.97e-01	1.54e-01	1.35e-01	-3.96e-01	-4.14e-01	-9.01e-02
$V_{bs}$	0.00e+00	0.00e+00	0.00e+00	-1.97e-01	-1.97e-01	4.53e-01	4.53e-01	0.00e+00
$V_{th}$	-2.31e-01	2.36e-01	2.36e-01	2.8e-01	2.8e-01	-3.38e-01	-3.38e-01	-2.48e-01
$V_{dsat}$	-2.73e-01	1.08e-01	1.08e-01	7.18e-02	7.21e-02	-1.38e-01	-1.38e-01	-6.75e-02
$G_m$	8.25e-05	1.07e-04	1.07e-04	1.52e-04	1.52e-04	1.05e-04	1.05e-04	1.62e-04
$G_{ds}$	3.88e-06	4.07e-06	4.09e-06	5.78e-06	6.94e-06	1.18e-06	1.15e-06	2.00e-05
$G_{mb}$	3.44e-05	3.38e-05	3.38e-05	4.15e-05	4.14e-05	2.86e-05	2.87e-05	4.98e-05
$C_{bd}$	4.69e-15	3.96e-15	3.96e-15	1.36e-14	1.36e-14	1.22e-14	1.22e-14	2.92e-14
$C_{bs}$	5.20e-15	4.20e-15	4.20e-15	1.41e-14	1.41e-14	1.33e-14	1.33e-14	3.00e-14

Nombre	M1
Modelo	p_50n
$I_d$	-9.03e-06
$V_{gs}$	-2.37e-01
$V_{ds}$	-8.99e-02
$V_{bs}$	0.00e+00
$V_{th}$	-2.48e-01
$V_{dsat}$	-6.75e-02
$G_m$	1.62e-04
$G_{ds}$	2.01e-05
$G_{mb}$	4.98e-05
$C_{bd}$	2.92e-14
$C_{bs}$	3.00e-14

TABLA 3.2. PUNTO DE OPERACIÓN DE LOS TRANSISTORES  
DEL AMPLIFICADOR TELESCÓPICO REAL.

Se puede concluir que el amplificador operacional telescópico ideal y real presentan las mismas características y no se aprecia ninguna perdida ni de ganancia, ni del producto de ganancia-ancho de banda, ni aumento del Slew Rate al pasar de uno a otro. Todos los transistores se mantienen en zona de saturación.

### 3.2. Folded-cascode

#### 3.2.1. Folded-cascode ideal

Primero se analiza el folded-cascode de la figura 3.19 el cual está compuesto por fuentes de corrientes que son directamente proporcional a la ganancia en continua y a su ancho de banda. En este caso se ha elegido una corriente de  $15\mu A$  para todo el circuito, se divide por cada rama con un valor de  $7,67\mu A$ , porque es la corriente que cumple con las especificaciones. En la figura 3.20 se puede apreciar un análisis en AC del amplificador.

# DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

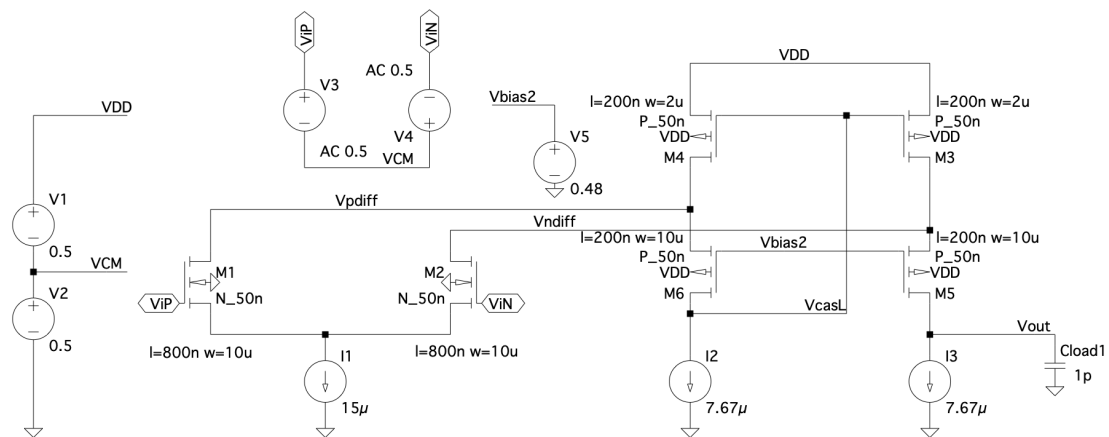


Fig. 3.19. Amplificador folded-cascode ideal.

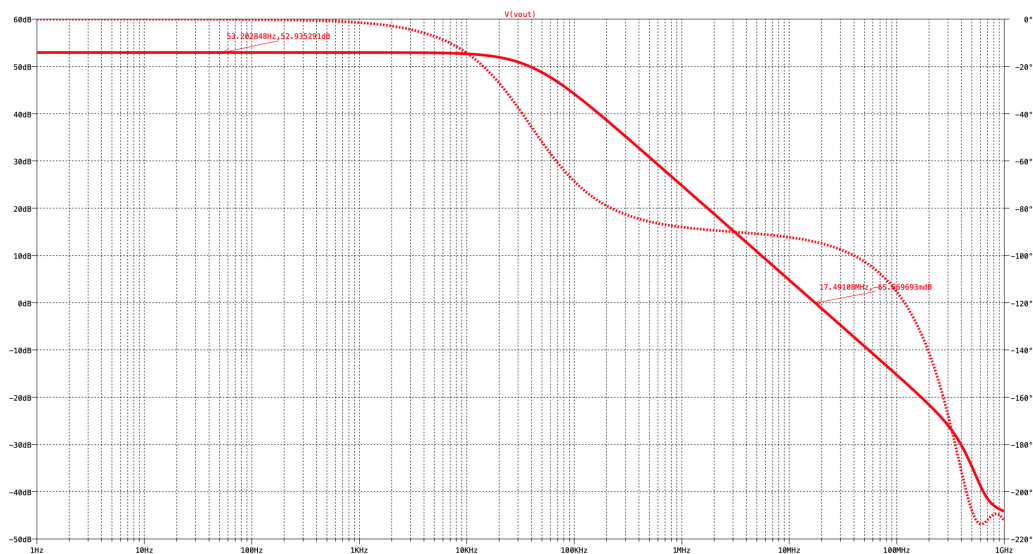


Fig. 3.20. Diagrama de Bode del amplificador folded-cascode ideal.

Los resultados de ganancia y producto de ganancia-ancho de banda obtenidos en la simulación anterior se aproximan mucho a los objetivos marcados para este amplificador folded-cascode.

También se debe hacer un análisis en transitorio para estudiar el Slew Rate del OTA. Para realizar este estudio primero se debe diseñar un circuito con realimentación negativa y entrada con señal cuadrada en torno a la tensión de modo común, figura 3.21. El resultado de la simulación se muestra en la figura 3.22.

### CAPÍTULO 3. 3.2. FOLDED-CASCODE

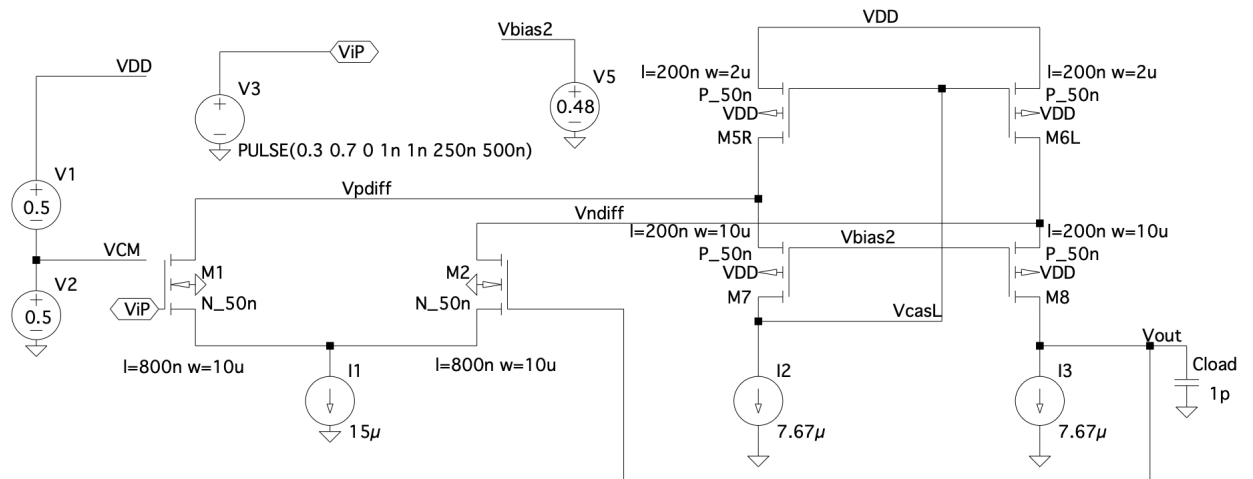


Fig. 3.21. Amplificador folded-cascode ideal con realimentación negativa unitaria y señal cuadrada pulso a la entrada.

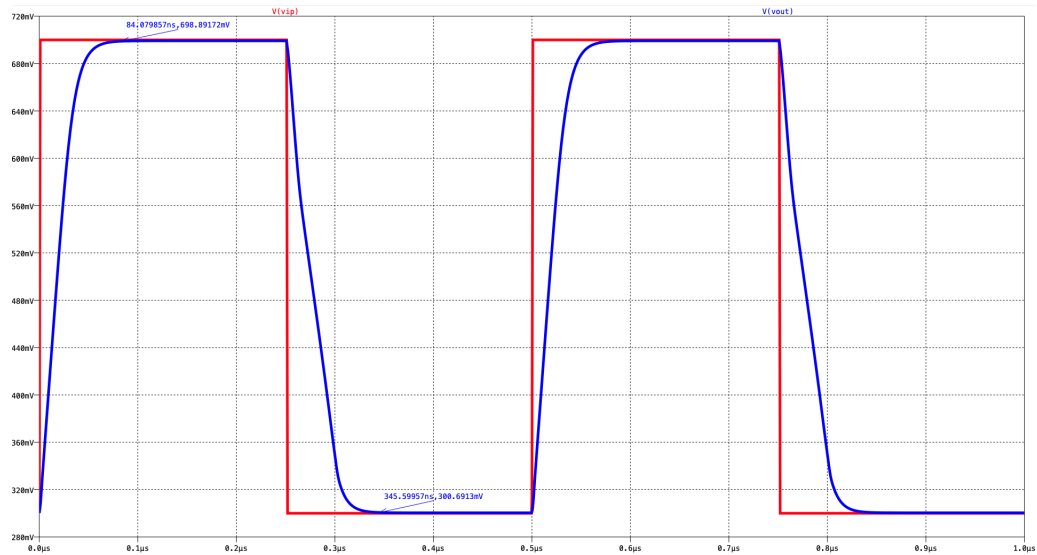


Fig. 3.22. Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso.

El Slew Rate que se obtiene es bastante bueno ya que el amplificador sigue muy bien la señal de cuadrada de entrada.

En la tabla 3.3 se pueden apreciar los valores del punto de polarización de los transistores del amplificador folded-cascode ideal.



## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

Nombre	M6	M5	M4	M3	M2	M1
Modelo	p_50n	p_50n	p_50n	p_50n	n_50n	n_50n
$I_d$	-7.67e-06	-7.67e-06	-1.52e-05	-1.52e-05	7.50e-06	7.50e-06
$V_{gs}$	-3.30e-01	-3.30e-01	-4.63e-01	-4.63e-01	2.96e-01	2.96e-01
$V_{ds}$	-2.74e-01	-2.86e-01	-1.90e-01	-1.90e-01	6.06e-01	6.06e-01
$V_{bs}$	1.90e-01	1.90e-01	0.00e+00	0.00e+00	-2.04e-01	-2.04e-01
$V_{th}$	-3.25e-01	-3.25e-01	-2.78e-01	-2.78e-01	2.85e-01	2.85e-01
$V_{dsat}$	-7.74e-02	-7.73e-02	-1.88e-01	-1.88e-01	6.72e-02	6.72e-02
$G_m$	1.35e-04	1.35e-04	1.09e-04	1.09e-04	1.26e-04	1.26e-04
$G_{ds}$	2.24e-06	2.19e-06	1.95e-05	1.95e-05	3.12e-06	3.12e-06
$G_{mb}$	3.79e-05	3.80e-05	3.94e-05	3.94e-05	3.42e-05	3.42e-05
$C_{bd}$	8.82e-15	8.80e-15	1.89e-15	1.89e-15	8.22e-15	8.22e-15
$C_{bs}$	9.44e-15	9.44e-15	2.00e-15	2.00e-15	9.41e-15	9.41e-15

TABLA 3.3. PUNTO DE OPERACIÓN DE LOS TRANSISTORES DEL AMPLIFICADOR FOLDED-CASCODE IDEAL.

### 3.2.2. Tensión de polarización

Para calcular la tensión de polarización de los transistores PMOS M7 y M8 se realiza una simulación paramétrica en la cual se varía el valor la tensión de  $v_{bias2}$  hasta alcanzar una  $V_{SD} = 270mV$  en los transistores M7 y M8. En la figura 3.23 se muestra esta simulación.

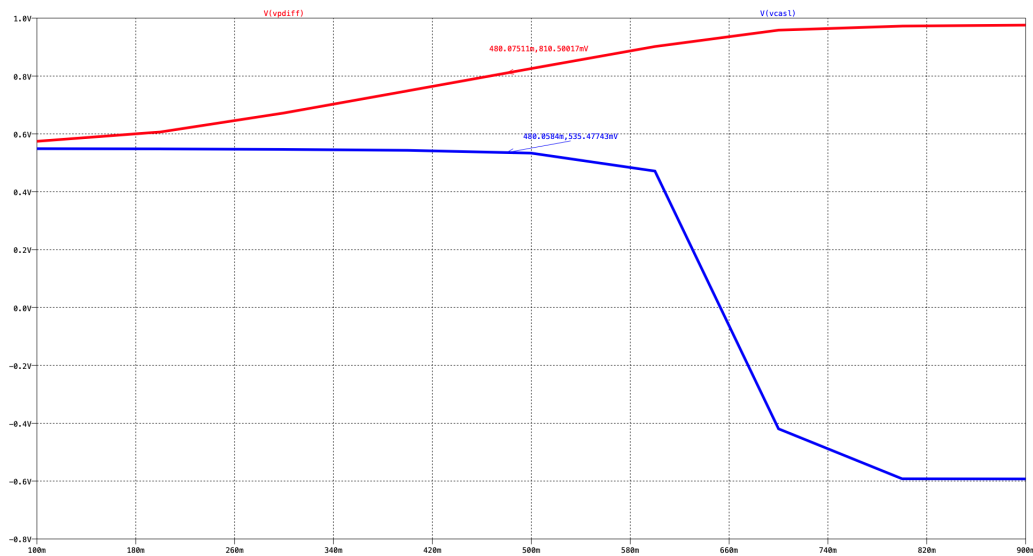


Fig. 3.23. Resultado de la simulación en paramétrico para calcular la tensión de polarización  $V_{bias2}$ .

Como se puede apreciar en la figura anterior el valor adecuado para la tensión de polarización es de 0.48 V.

### 3.2.3. Dimensionado de los transistores

Para poder llegar a un amplificador folded-cascode real se tiene que modelar las fuentes de corriente con transistores. La fuente 1 tiene muy poca caída de tensión, 204 mV, por lo que solo se podrá sustituir por un transistor. En cambio las fuentes 2 y 3 tienen el doble de la caída de tensión que la fuente de corriente 1, entonces será posible sustituirlas por dos transistores.

En la figura 3.24 se tiene un esquemático en el cual se dimensionan los transistores NMOS para sustituir la fuente de corriente. En este esquemático se fijan las dimensiones de los transistores y la tensión de base del transistor M2,  $V_b = 395\text{mV}$  para hacer un barrido en continua de la fuente de tensión V2 con el objetivo de imponerle a los transistores la corriente deseada,  $I_D = 7,67\mu\text{A}$ .

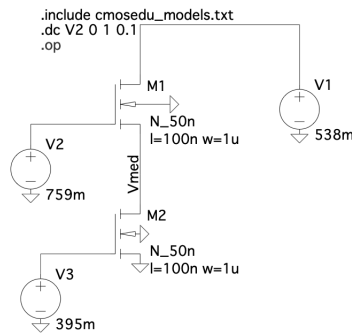


Fig. 3.24. Modelado de la fuente de corriente con dos transistores NMOS.

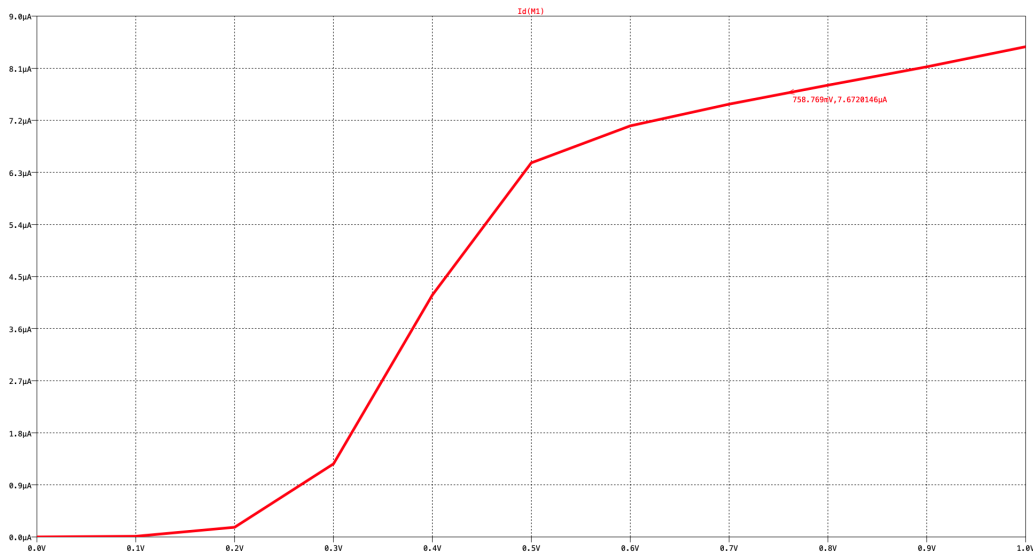


Fig. 3.25. Resultado de la simulación del barrido de continua de V2.

A la vista de los resultados obtenidos en la simulación anterior, el valor de la tensión  $V_b$  de M2 que satisface las necesidades es el de 759 mV.

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

En la figura 3.26 también se puede apreciar un esquemático en el cual se dimensiona un transistor NMOS pero en este caso es para la fuente de corriente 1 del folded-cascode ideal. Para este transistor se ha fijado la tensión de base  $V_b = 395mV$  y se realiza una simulación paramétrica en la cual se hace variar el ancho de canal del mismo para obtener la corriente deseada,  $I_D = 15\mu A$ .

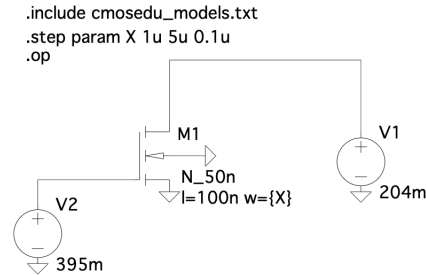


Fig. 3.26. Modelado de la fuente de corriente con un transistor NMOS.

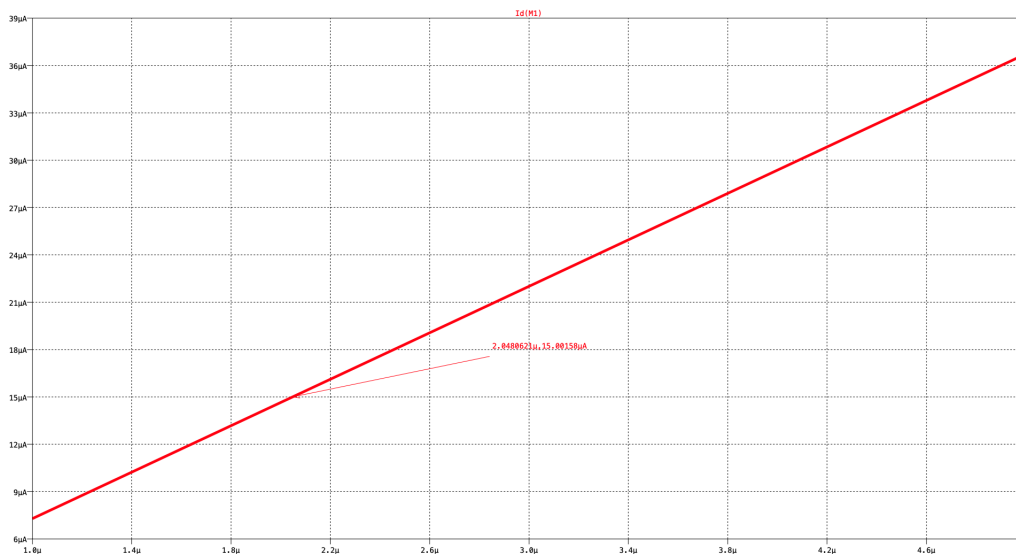


Fig. 3.27. Resultado de la simulación paramétrica.

### 3.2.4. Folded-cascode Real

En esta sección se sustituyen las fuentes de corrientes por los transistores dimensionados en el apartado anterior para hacer el diseño completo de un amplificador folded-cascode real. En la figura 3.28 se muestra el esquemático de un folded-cascode real diseñado solo con transistores.

### CAPÍTULO 3. 3.2. FOLDED-CASCODE

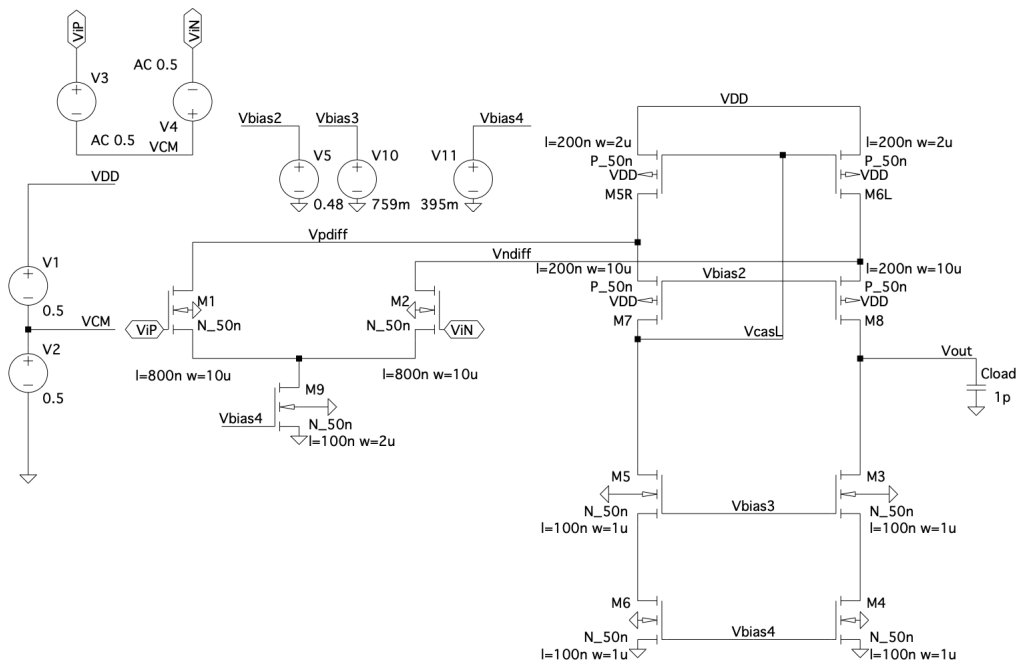


Fig. 3.28. Amplificador Folded-cascode real.

Seguidamente se realizan simulaciones de este amplificador telescópico real para comprobar si cumple con los objetivos marcados. Primero se realiza un análisis en AC, con el esquemático de la figura 3.28, mostrando los resultados en la figura 3.29. De segundo, un análisis en el dominio del tiempo con el esquemático de la figura 3.30 y los resultados en la figura 3.31. Por último el punto de polarización de los transistores se exponen en la tabla 3.4.

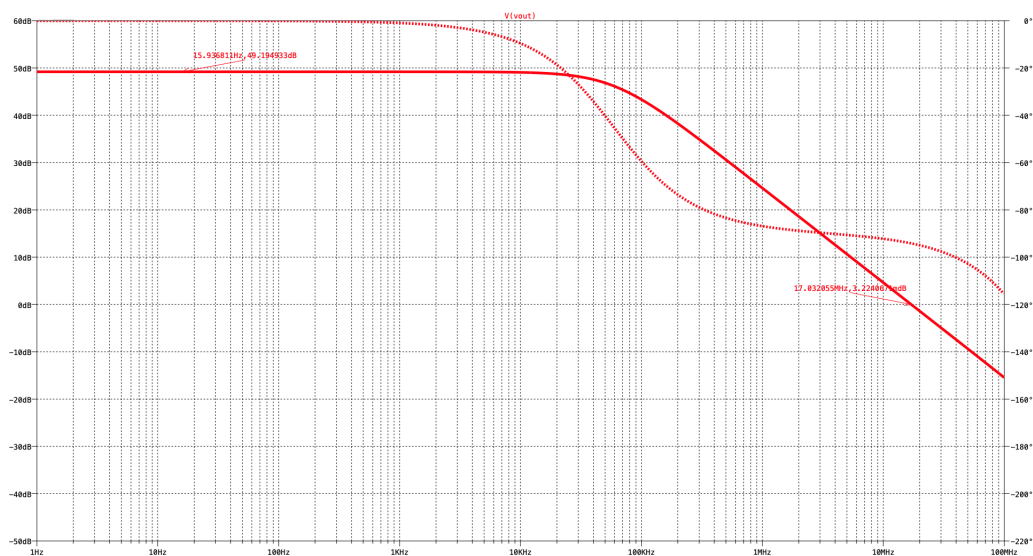


Fig. 3.29. Diagrama de Bode del Amplificador Folded-cascode real.

# DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

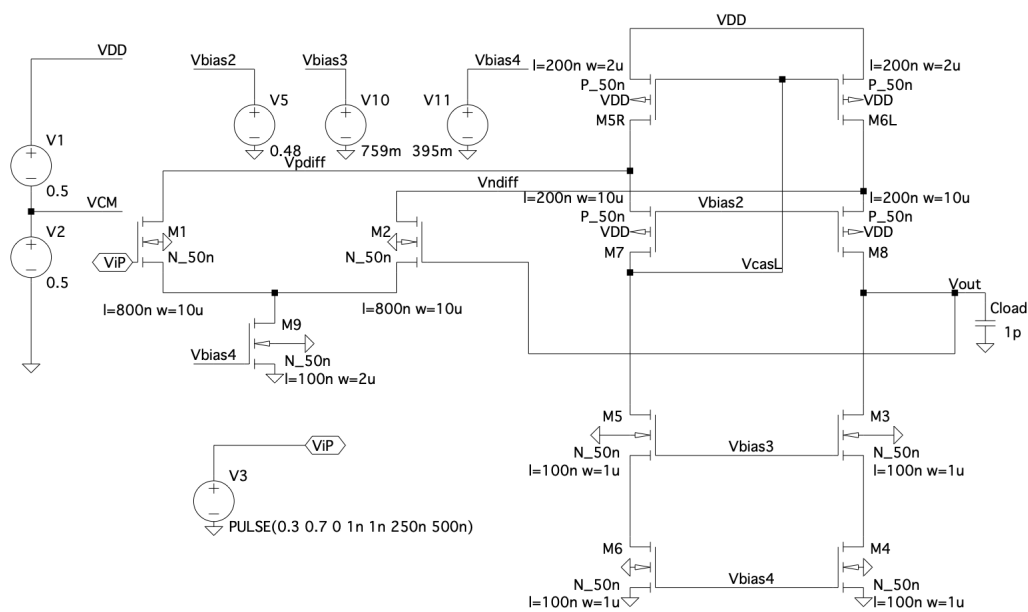


Fig. 3.30. Amplificador Folded-cascode real con realimentación negativa unitaria y señal de pulso de entrada.

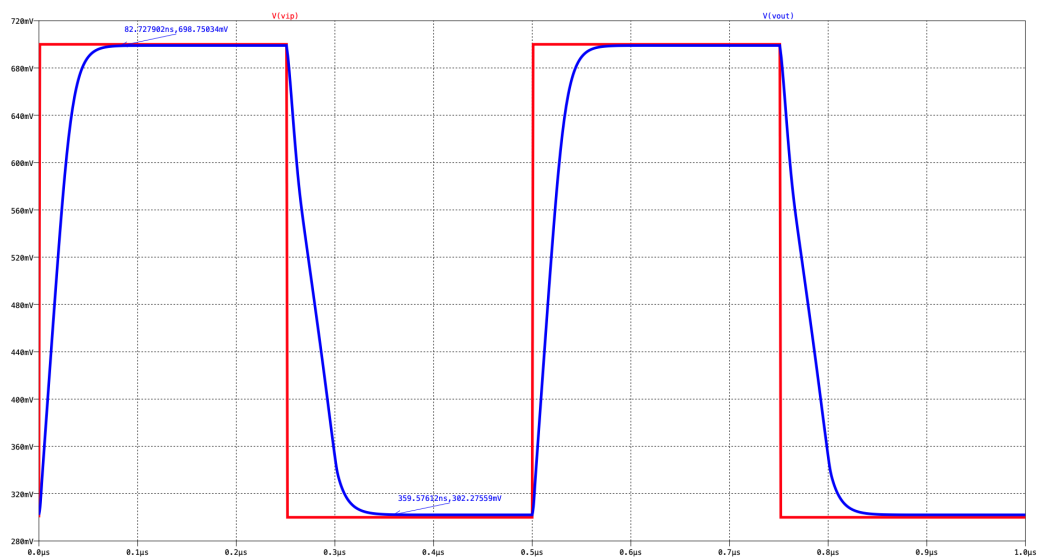


Fig. 3.31. Simulación en el dominio del tiempo para una respuesta ante una entrada de pulso.

### CAPÍTULO 3. 3.3. CIRCUITO DE POLARIZACIÓN

Nombre	M9	M8	M7	M6L	M5R	M6	M5	M4
Modelo	n_50n	p_50n	p_50n	p_50n	p_50n	n_50n	n_50n	n_50n
$I_d$	1.47e-05	-7.67e-06	-7.67e-06	-1.50e-05	-1.50e-05	7.67e-06	7.67e-06	7.67e-06
$V_{gs}$	3.95e-01	-3.30e-01	-3.31e-01	-4.62e-01	-4.62e-01	3.95e-01	4.71e-01	3.95e-01
$V_{ds}$	2.05e-01	-2.80e-01	-2.72e-01	-1.90e-01	-1.89e-01	2.88e-01	2.50e-01	2.88e-01
$V_{bs}$	0.00e+00	1.90e-0	1.89e-01	0.00e+00	0.00e+00	0.00e+00	-2.88e-01	0.00e+00
$V_{th}$	3.62e-01	-3.25e-01	-3.25e-01	-2.78e-01	-2.78e-01	3.62e-01	4.22e-01	3.62e-01
$V_{dsat}$	8.12e-02	-7.74e-02	-7.74e-02	-1.87e-01	-1.87e-01	8.12e-02	9.05e-02	8.12e-02
$G_m$	2.30e-04	1.35e-04	1.35e-04	1.09e-04	1.09e-04	1.20e-04	1.14e-04	1.20e-04
$G_{ds}$	9.86e-06	2.21e-06	2.25e-06	1.90e-05	1.91e-05	4.37e-06	4.43e-06	4.37e-06
$G_{mb}$	6.28e-05	3.80e-05	3.79e-05	3.92e-05	3.92e-05	3.26e-05	2.80e-05	3.26e-05
$C_{bd}$	1.88e-15	8.81e-15	8.82e-15	1.89e-15	1.89e-15	9.20e-16	8.67e-16	9.20e-16
$C_{bs}$	2.00e-15	9.44e-15	9.44e-15	2.00e-15	2.00e-15	1.00e-15	9.20e-16	1.00e-15

Nombre	M3	M2	M1
Modelo	n_50n	n_50n	n_50n
$I_d$	7.67e-06	7.33e-06	7.33e-06
$V_{gs}$	4.71e-01	2.95e-01	2.95e-01
$V_{ds}$	2.42e-01	6.05e-01	6.05e-01
$V_{bs}$	-2.88e-01	-2.05e-01	-2.05e-01
$V_{th}$	4.22e-01	2.85e-01	2.85e-01
$V_{dsat}$	9.07e-02	6.67e-02	6.67e-02
$G_m$	1.14e-04	1.23e-04	1.23e-04
$G_{ds}$	4.50e-06	3.07e-06	3.07e-06
$G_{mb}$	2.80e-05	3.35e-05	3.35e-05
$C_{bd}$	8.69e-16	8.22e-15	8.22e-15
$C_{bs}$	9.20e-16	9.40e-15	9.40e-15

TABLA 3.4. PUNTO DE OPERACIÓN DE LOS TRANSISTORES  
DEL AMPLIFICADOR FOLDED-CASCODE REAL.

Analizando y comparando las simulaciones del amplificador Folded-cascode real con el ideal se puede apreciar que en el caso del Folded-cascode real ha ocurrido una pequeña pérdida de ganancia y del producto de ganancia-ancho de banda. Esta pérdida ha sido muy insignificante y es debido al cambio de fuentes de corrientes por transistores. EL Slew Rate no ha variado al pasar de fuentes de corrientes a transistores y todos los transistores están en zona de saturación.

### 3.3. Circuito de polarización

En esta sección se diseñan dos circuitos de polarización para un diseño analógico de short-channel, el mismo que los amplificadores de transconductancia variable. Para el diseño de ambos circuitos de polarización se toma como referencia la sección 2.4 del Estado del Arte.

### 3.3.1. Telescópico

Después del diseño del amplificador con arquitectura telescópica y calcular las tensiones de polarización necesarias, una de 0.5V y otra de 0.3V, se procede al diseño de un circuito de polarización. Al necesitar solo dos tensiones de polarización se puede prescindir del último cascodo donde está  $V_{bias2}$ .

Para el cálculo de estas tensiones en el circuito de polarización hay que realizar una serie de cambios al circuito de la figura 2.8, el cuál se toma como referencia. Primero hay que poner la tensión de alimentación,  $V_{DD}$  del circuito a 1.2 V para que sea igual a la del amplificador al cual va polarizar. Seguidamente se hace una simulación paramétrica en la cual se varían valores de la resistencia R1 para obtener un valor de 0.5V en  $V_{bias3}$ . En la figura 3.32 se puede apreciar la respuesta de la simulación anterior, se obtiene un valor de  $R1 = 6,82k\Omega$  para el valor necesitado de  $V_{bias3}$ .

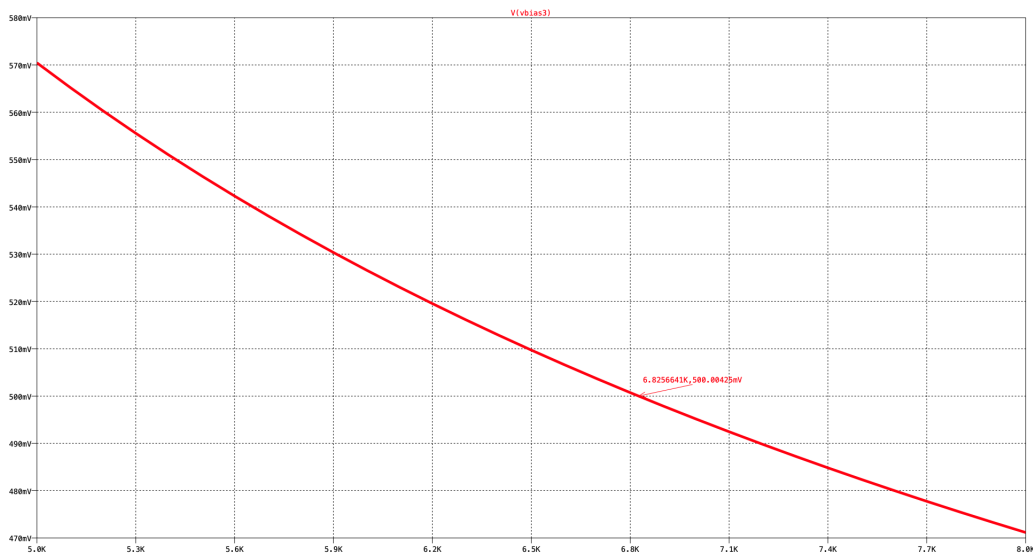


Fig. 3.32. Simulación paramétrica de valores de R1 del circuito de polarización.

A continuación se desea que la tensión de  $V_{bias4} = 0,3V$  por lo cual se realiza otra simulación paramétrica pero en este caso se varían los valores de la longitud del canal del transistor MA4. Al variar la longitud del canal del transistor MA4 provoca que la tensión  $V_{SD}$  del mismo varíe por lo cual varía el valor de  $V_{bias4}$ . En la figura 3.33 se aprecia el resultado de la simulación anterior pudiéndose observar que para un valor de  $1.35 \mu m$  de la longitud del canal de MA4 se obtiene la tensión de polarización necesaria en  $V_{bias4}$ .

### CAPÍTULO 3. 3.3. CIRCUITO DE POLARIZACIÓN

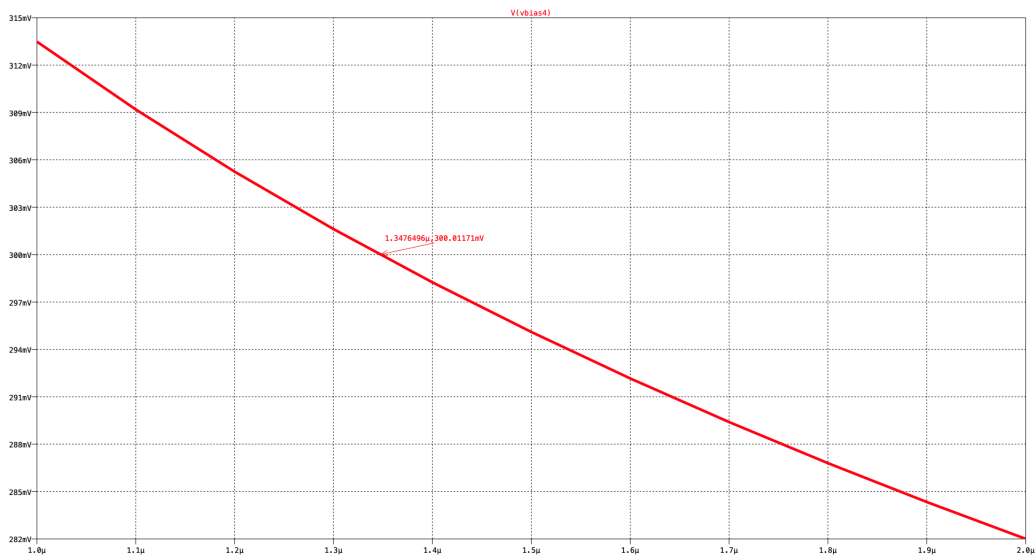


Fig. 3.33. Simulación paramétrica de valores de la longitud de canal del transistor MA8 del circuito de polarización.

En la figura 3.34 se puede observar el circuito de polarización que se usa en el amplificador telescópico. Sus tensiones de polarización se muestran en la figura 3.35.

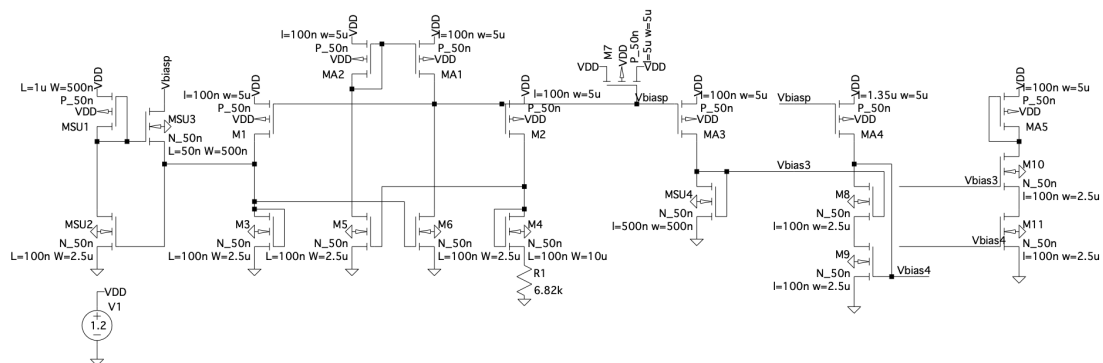


Fig. 3.34. Circuito de polarización para el amplificador Telescópico.



DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS



Fig. 3.35. Tensiones del circuito de polarización del amplificador telescópico.

En la siguiente tabla 3.5 se puede apreciar el punto de funcionamiento de todos los transistores del circuito de polarización pudiéndose comprobar que están todos en zona de saturación.

### CAPÍTULO 3. 3.3. CIRCUITO DE POLARIZACIÓN

Nombre	M11	M10	M9	M8	MSU4	M6	M5	M4
Modelo	n_50n	n_50n	n_50n	n_50n	n_50n	n_50n	n_50n	n_50n
$I_d$	3.11e-06	3.11e-06	3.06e-06	3.06e-06	7.65e-06	1.07e-05	1.08e-05	8.00e-06
$V_{gs}$	3.00e-01	3.26e-01	3.00e-01	3.41e-01	5.00e-01	3.42e-01	3.43e-01	2.88e-01
$V_{ds}$	1.75e-01	7.34e-01	1.59e-01	1.41e-01	5.00e-01	8.68e-01	8.43e-01	2.88e-01
$V_{bs}$	0.00e+00	-1.75e-01	0.00e+00	-1.59e-01	0.00e+00	0.00e+00	0.00e+00	-5.45e-02
$V_{th}$	3.62e-01	3.99e-01	3.62e-01	3.96e-01	2.51e-01	3.61e-01	3.61e-01	3.74e-01
$V_{dsat}$	5.02e-02	4.88e-02	5.02e-02	5.23e-02	2.07e-01	6.07e-02	6.11e-02	4.65e-02
$G_m$	6.42e-05	6.35e-05	6.33e-05	6.30e-05	4.07e-05	1.89e-04	1.90e-04	1.71e-04
$G_{ds}$	2.83e-06	1.83e-06	2.93e-06	3.13e-06	1.62e-06	5.21e-06	5.30e-06	6.39e-06
$G_{mb}$	1.70e-05	1.56e-05	1.68e-05	1.55e-05	1.60e-05	5.08e-05	5.13e-05	4.41e-05
$C_{bd}$	2.37e-15	2.02e-15	2.38e-15	2.29e-15	4.37e-16	2.03e-15	2.04e-15	9.07e-15
$C_{bs}$	2.50e-15	2.37e-15	2.50e-15	2.38e-15	5.00e-16	2.50e-15	2.50e-15	9.83e-15

Nombre	M3	MSU3	MSU2	MA5	MA4	MA3	M7	MA2
Modelo	n_50n	n_50n	n_50n	p_50n	p_50n	p_50n	p_50n	p_50n
$I_d$	8.00e-06	2.00e-10	6.45e-06	-3.11e-06	-3.06e-06	-7.66e-06	1.20e-09	-1.08e-05
$V_{gs}$	3.42e-01	-2.51e-01	3.42e-01	-2.91e-01	-3.32e-01	-3.32e-01	-3.32e-01	-3.57e-01
$V_{ds}$	3.42e-01	5.27e-01	9.09e-02	-2.91e-01	-9.00e-01	-7.00e-01	0.00e+00	-3.57e-01
$V_{bs}$	0.00e+00	-3.42e-01	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.00e+00
$V_{th}$	3.62e-01	3.73e-01	3.62e-01	-3.40e-01	-2.28e-01	-3.40e-01	-2.22e-01	-3.40e-01
$V_{dsat}$	6.06e-02	4.18e-02	6.05e-02	-5.92e-02	-1.26e-01	-7.22e-02	-1.29e-01	-8.31e-02
$G_m$	1.48e-04	7.74e-12	1.21e-04	6.18e-05	3.53e-05	1.37e-04	0.00e+00	1.81e-04
$G_{ds}$	5.14e-06	2.58e-13	1.30e-05	1.28e-06	2.96e-07	2.14e-06	1.14e-05	3.68e-06
$G_{mb}$	3.96e-05	8.42e-13	3.23e-05	1.80e-05	1.16e-05	4.03e-05	0.00e+00	5.34e-05
$C_{bd}$	2.27e-15	4.07e-16	2.43e-15	4.60e-15	4.05e-15	4.20e-15	5.00e-15	4.52e-15
$C_{bs}$	2.50e-15	4.54e-16	2.50e-15	5.00e-15	5.00e-15	5.00e-15	5.00e-15	5.00e-15

Nombre	MA1	M2	M1	MSU1
Modelo	p_50n	p_50n	p_50n	p_50n
$I_d$	-1.07e-05	-8.00e-06	-8.00e-06	-6.37e-0
$V_{gs}$	-3.57e-01	-3.32e-01	-3.32e-01	-1.11e+00
$V_{ds}$	-3.32e-01	-8.57e-01	-8.58e-01	-1.11e+00
$V_{bs}$	0.00e+00	0.00e+00	0.00e+00	0.00e+00
$V_{th}$	-3.40e-01	-3.40e-01	-3.40e-01	-2.31e-01
$V_{dsat}$	-8.31e-02	-7.22e-02	-7.22e-02	-7.15e-01
$G_m$	1.80e-04	1.42e-04	1.42e-04	6.64e-06
$G_{ds}$	3.78e-06	2.16e-06	2.16e-06	3.47e-07
$G_{mb}$	5.30e-05	4.19e-05	4.19e-05	4.75e-06
$C_{bd}$	4.55e-15	4.08e-15	4.08e-15	3.91e-16
$C_{bs}$	5.00e-15	5.00e-15	5.00e-15	5.00e-16

TABLA 3.5. PUNTO DE OPERACIÓN DE LOS TRANSISTORES  
DEL CIRCUITO DE POLARIZACIÓN DE EL AMPLIFICADOR  
TELESCÓPICO.

#### 3.3.2. Folded-cascode

Una vez diseñado el amplificador con arquitectura folded-cascode y calculadas las tensiones de polarización que necesita, 480 mV, 759 mV y 395 mV, se desarrolla un

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSION DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

circuito de polarización. Para el cálculo de estas tensiones en el circuito de polarización hay que realizar una serie de cambios al circuito de la figura 2.8, el cuál se toma como referencia. Primeramente se hace una simulación paramétrica en la cual se varían valores de la resistencia R1 para que se obtengan un valor de 759 mV en  $V_{bias3}$ . En la figura 3.36 se observa la respuesta de la simulación anterior en la cual para un valor de  $R1 = 6,76k\Omega$  se obtienen los valores deseados para  $V_{bias3}$ .

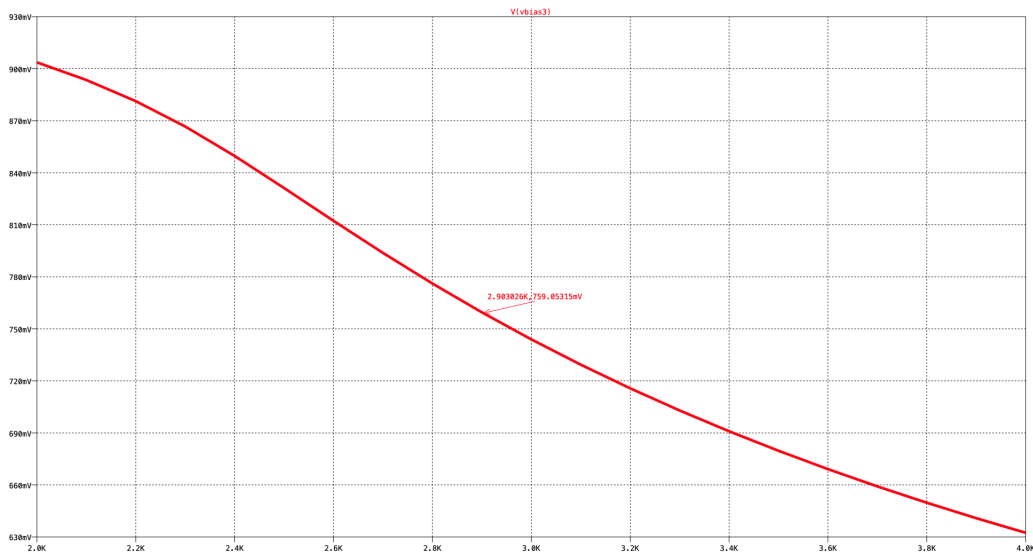


Fig. 3.36. Simulación paramétrica de valores de R1 del circuito de polarización.

Para obtener la tensión de  $V_{bias4} = 395mV$  se tiene que dimensionar el transistor MA4 para que su  $V_D$  sea igual que  $V_{bias4}$ . Se realiza una simulación paramétrica en la cual se varían los valores del ancho de canal del transistor MA4. En la figura 3.37 se aprecia la respuesta de esta simulación en la cual para un valor  $4.5 \mu m$  de ancho de canal de MA4 se obtiene el valor necesitado en  $V_{bias4}$ .

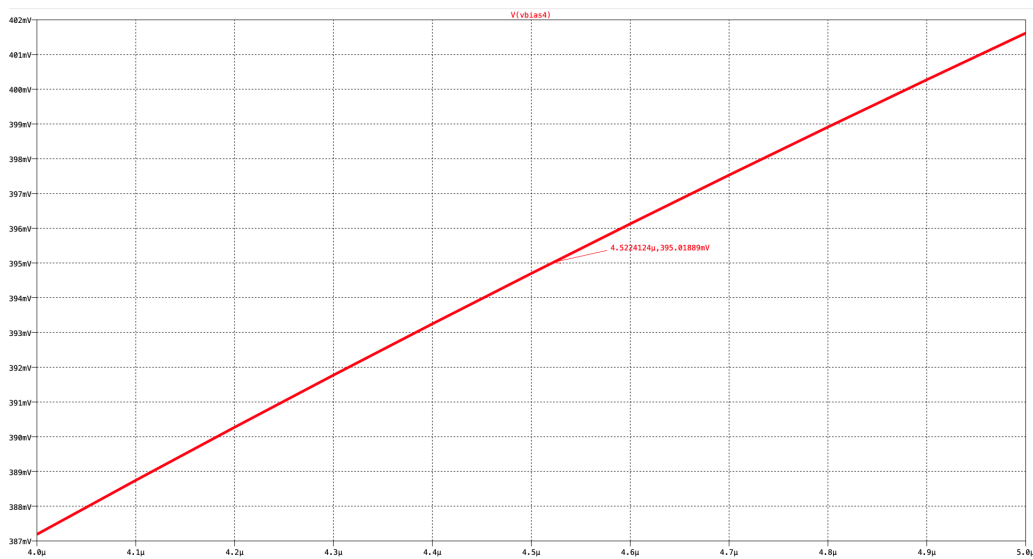


Fig. 3.37. Simulación paramétrica de valores de la longitud de canal del transistor MA4 del circuito de polarización.

### CAPÍTULO 3. 3.3. CIRCUITO DE POLARIZACIÓN

La última modificación del circuito de polarización es dimensionar el transistor MA8 para obtener  $V_{bias2} = 480mV$ . Como en los anteriores casos, se realiza una simulación paramétrica variando los valores de la longitud del canal del transistor MA8. En la figura 3.38 se aprecia la respuesta de esta simulación en la cual para un valor 854 nm de longitud de canal de MA4 se obtiene el valor necesitado en  $V_{bias2}$ .

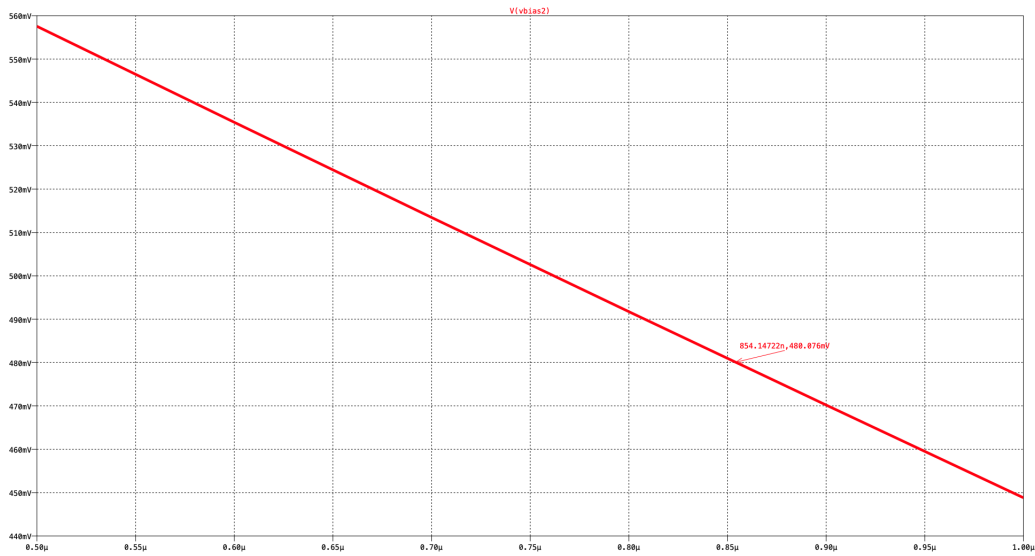


Fig. 3.38. Simulación paramétrica de valores de la longitud de canal del transistor MA8 del circuito de polarización.

En la figura 3.39 se puede apreciar el circuito de polarización que se usa para el amplificador folded-cascode. Sus tensiones de polarización calculadas anteriormente se muestran en la figura 3.40.

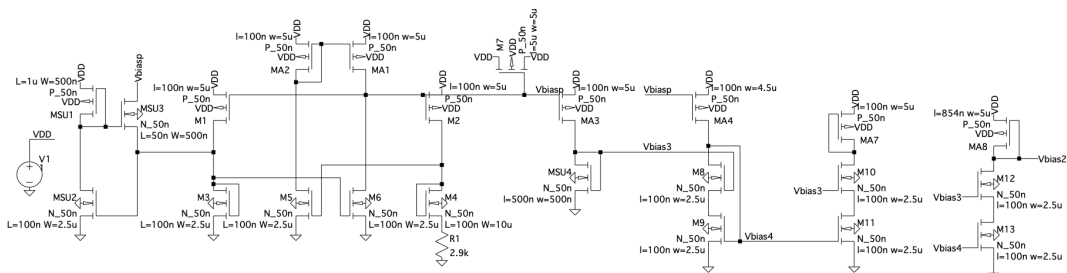


Fig. 3.39. Circuito de polarización para el amplificador Folded-cascode.

DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS



Fig. 3.40. Tensiones del circuito de polarización del amplificador folded-cascode.

En la siguiente tabla 3.6 se puede apreciar el punto de funcionamiento de todos los transistores del circuito de polarización pudiéndose comprobar que están todos en zona de saturación.

### CAPÍTULO 3. 3.3. CIRCUITO DE POLARIZACIÓN

Nombre	M13	M12	M11	M10	M9	M8	MSU4	M6
Modelo	n_50n	n_50n	n_50n	n_50n	n_50n	n_50n	n_50n	n_50n
$I_d$	1.92e-05	1.92e-05	1.92e-05	1.92e-05	1.91e-05	1.91e-05	1.90e-05	2.35e-05
$V_{gs}$	3.95e-01	4.73e-01	3.95e-01	4.69e-01	3.95e-01	4.77e-01	7.60e-01	3.97e-01
$V_{ds}$	2.87e-01	1.93e-01	2.91e-01	3.16e-01	2.83e-01	1.12e-01	7.60e-01	6.04e-01
$V_{bs}$	0.00e+00	-2.87e-01	0.00e+00	-2.91e-01	0.00e+00	-2.83e-01	0.00e+00	0.00e+00
$V_{th}$	3.62e-01	4.22e-01	3.62e-01	4.22e-01	3.62e-01	4.21e-01	2.51e-01	3.62e-01
$V_{dsat}$	8.11e-02	9.15e-02	8.11e-02	8.93e-02	8.11e-02	9.43e-02	3.80e-01	8.25e-02
$G_m$	3.00e-04	2.85e-04	3.00e-04	2.88e-04	2.99e-04	2.70e-04	3.97e-05	3.50e-04
$G_{ds}$	1.10e-05	1.31e-05	1.09e-05	1.02e-05	1.10e-05	3.71e-05	2.64e-06	1.07e-05
$G_{mb}$	8.17e-05	6.98e-05	8.19e-05	7.04e-05	8.15e-05	6.69e-05	2.23e-05	9.61e-05
$C_{bd}$	2.30e-15	2.20e-15	2.30e-15	2.14e-15	2.30e-15	2.24e-15	4.15e-16	2.14e-15
$C_{bs}$	2.50e-15	2.30e-15	2.50e-15	2.30e-15	2.50e-15	2.30e-15	5.00e-16	2.50e-15

Nombre	M5	M4	M3	MSU3	MSU2	MA8	MA7	MA4
Modelo	n_50n	n_50n	n_50n	n_50n	n_50n	p_50n	p_50n	p_50n
$I_d$	2.35e-05	2.13e-05	2.13e-05	6.72e-11	5.48e-06	-1.92e-05	-1.92e-05	-1.91e-05
$V_{gs}$	3.98e-01	3.36e-01	2.13e-05	6.72e-11	5.48e-06	-1.92e-05	-1.92e-05	-3.96e-01
$V_{ds}$	5.93e-01	3.36e-01	3.97e-01	2.06e-01	1.64e-02	-5.20e-01	-3.93e-01	-6.05e-01
$V_{bs}$	0.00e+00	-6.16e-02	0.00e+00	-3.97e-01	0.00e+00	0.00e+00	0.00e+00	0.00e+00
$V_{th}$	3.62e-01	3.75e-01	3.62e-01	3.77e-01	3.62e-01	-2.33e-01	-3.40e-01	-3.40e-01
$V_{dsat}$	8.27e-02	5.56e-02	8.24e-02	4.19e-02	8.23e-02	-2.61e-01	-1.02e-01	-1.04e-01
$G_m$	3.50e-04	4.14e-04	3.24e-04	6.65e-14	6.40e-05	9.49e-05	2.80e-04	2.74e-04
$G_{ds}$	1.07e-05	1.45e-05	1.08e-05	3.28e-15	2.96e-04	1.95e-06	5.95e-06	4.92e-06
$G_{mb}$	9.63e-05	1.07e-04	8.87e-05	7.58e-15	1.88e-05	3.84e-05	8.41e-05	8.25e-05
$C_{bd}$	2.14e-15	8.95e-15	2.24e-15	4.28e-16	2.49e-15	4.35e-15	4.48e-15	3.85e-15
$C_{bs}$	2.50e-15	9.80e-15	2.50e-15	4.48e-16	2.50e-15	5.00e-15	5.00e-15	4.50e-15

Nombre	MA3	M7	MA2	MA1	M2	M1	MSU1
Modelo	p_50n	p_50n	p_50n	p_50n	p_50n	p_50n	p_50n
$I_d$	-1.90e-05	1.99e-09	-2.35e-05	-2.35e-05	-2.13e-05	-2.13e-05	-5.46e-06
$V_{gs}$	-3.96e-01	-3.96e-01	-4.07e-01	-4.07e-01	-3.96e-01	-3.96e-01	-9.84e-01
$V_{ds}$	-2.40e-01	0.00e+00	-4.07e-01	-3.96e-01	-6.02e-01	-6.03e-01	-9.84e-01
$V_{bs}$	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.00e+00
$V_{th}$	-3.40e-01	-2.22e-01	-3.40e-01	-3.40e-01	-3.40e-01	-3.40e-01	-2.31e-01
$V_{dsat}$	-1.03e-01	-1.74e-01	-1.10e-01	-1.10e-01	-1.04e-01	-1.04e-01	-6.18e-01
$G_m$	2.74e-04	0.00e+00	3.23e-04	3.22e-04	3.04e-04	3.04e-04	7.24e-06
$G_{ds}$	8.22e-05	0.00e+00	9.76e-05	9.73e-05	5.48e-06	5.48e-06	3.23e-07
$G_{mb}$	8.22e-05	0.00e+00	9.76e-05	9.73e-05	9.16e-05	9.16e-05	4.71e-06
$C_{bd}$	4.66e-15	5.00e-15	4.47e-15	4.48e-15	4.28e-15	4.28e-15	3.99e-16
$C_{bs}$	5.00e-15	5.00e-15	5.00e-15	5.00e-15	5.00e-15	5.00e-15	5.00e-16

TABLA 3.6. PUNTO DE OPERACIÓN DE LOS TRANSISTORES  
DEL CIRCUITO DE POLARIZACIÓN DE EL AMPLIFICADOR  
FOLDED-CASCODE.

## 3.4. Amplificadores de transconductancia variable con su circuito de polarización

### 3.4.1. Telescópico

En la figura 3.41 se observa el esquemático del amplificador Telescópico con su circuito de polarización adjunto. El amplificador es el diseñado en la sección 3.1.3 y el circuito de polarización es el de la sección 3.3.1.

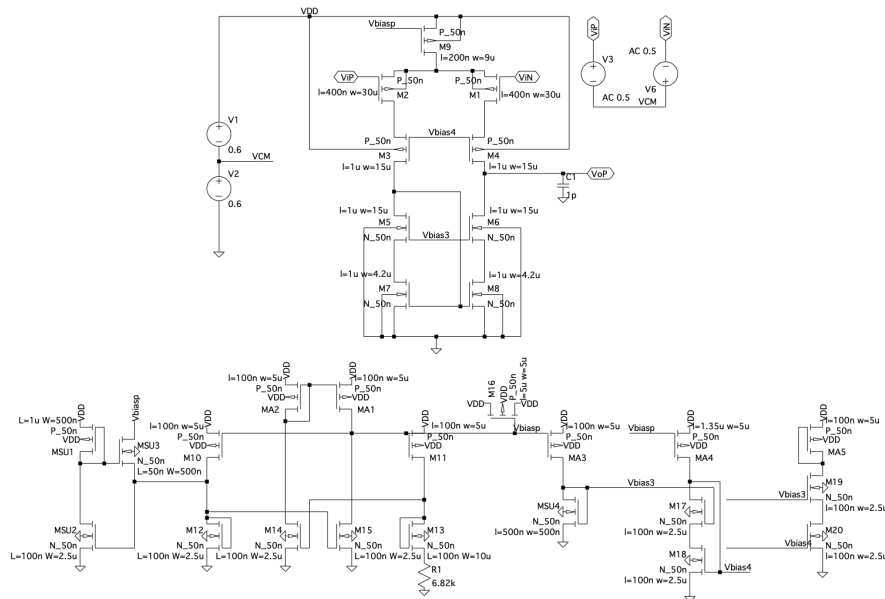


Fig. 3.41. Amplificador Telescópico con su circuito de polarización.

A continuación en la figura 3.42 se puede apreciar la respuesta de un análisis en AC del circuito anterior para compararse con el obtenido en la sección 3.1.3 de este trabajo y comprobar que es correcto el funcionamiento del circuito diseñado.

### CAPÍTULO 3. 3.4. AMPLIFICADORES DE TRANSCONDUCTANCIA VARIABLE CON SU CIRCUITO DE POLARIZACIÓN

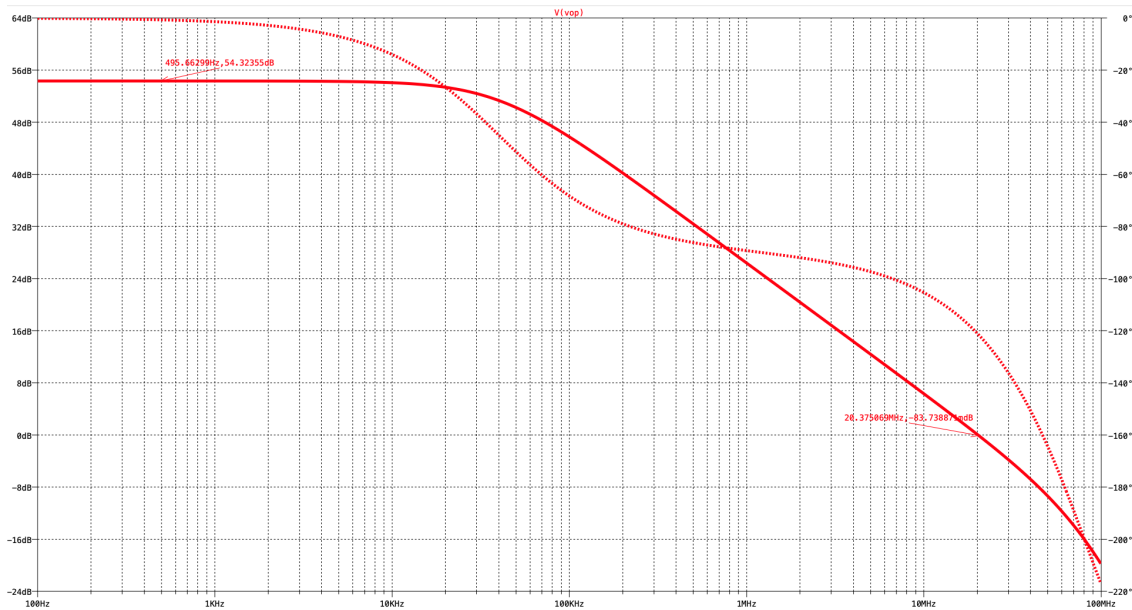


Fig. 3.42. Diagrama de Bode del Amplificador Telescópico con su circuito de polarización.

El esquemático de la figura 3.43 muestra el circuito del cual se hará el análisis en el dominio del tiempo para poder analizar su Slew Rate. Este esquemático es utilizado anteriormente en la sección 3.1.3 de este proyecto pero en este caso se añade el circuito de polarización. La figura 3.44 es el resultado de la simulación en el dominio del tiempo en la cual se compara una señal cuadrada, entorno a la tensión de modo común, en la entrada con la señal de salida del operacional telescópico.

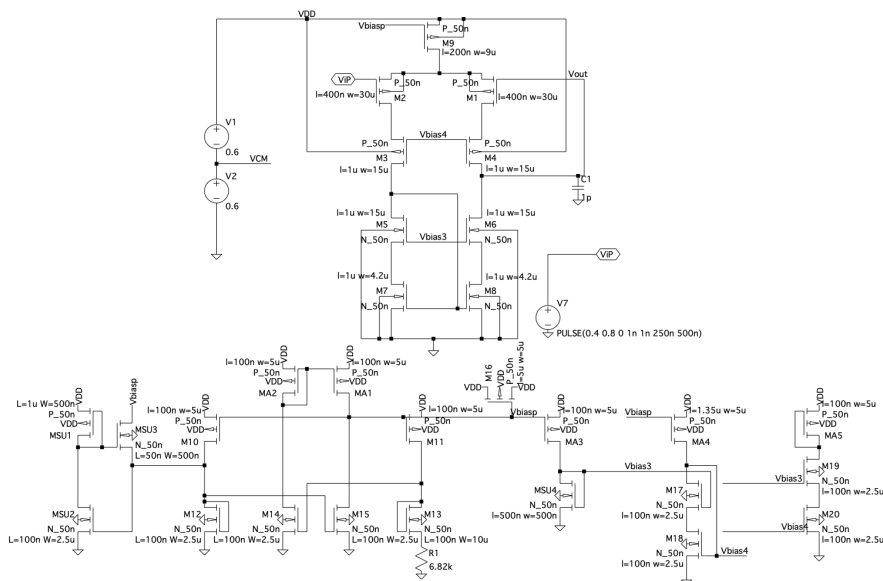


Fig. 3.43. Amplificador Telescópico con su circuito de polarización.



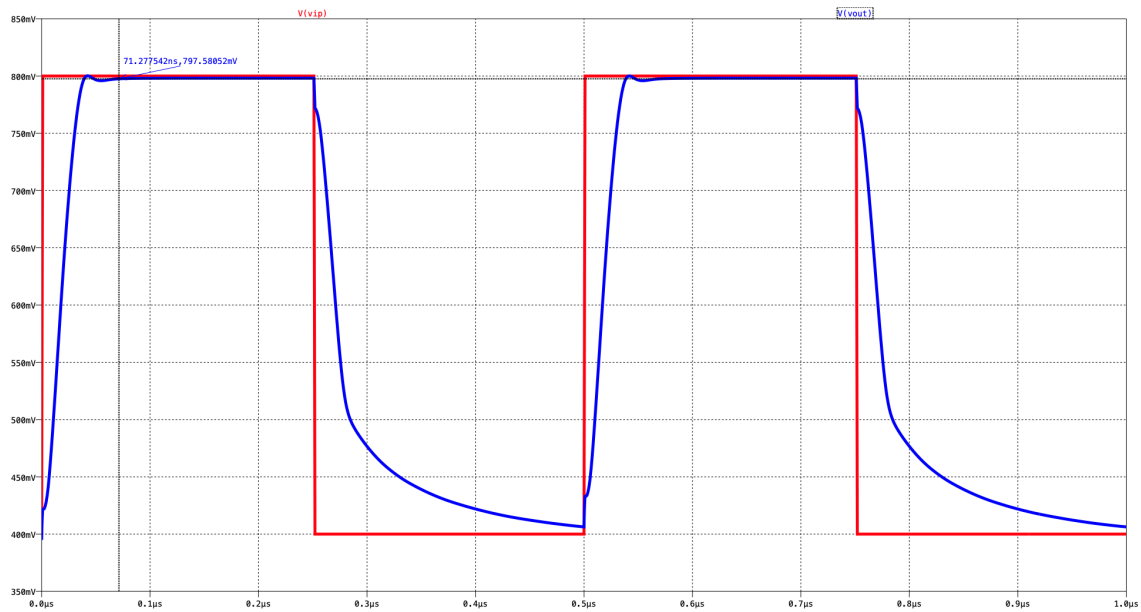


Fig. 3.44. Simulación en el dominio del tiempo del Amplificador Telescópico con su circuito de polarización.

Con los resultados obtenidos se puede concluir que entre el amplificador telescópico de la sección 3.1.3 y el expuesto en esta sección no se encuentran grandes diferencias. La respuesta en frecuencia de ambos amplificadores es prácticamente igual. Los dos amplificadores presentan un Slew Rate bastante parecido aunque el del amplificador estudiado en esta sección es 20 ns mayor y muestra un poco de sobre oscilación, la cuál no aparece en el telescópico de la sección 3.1.3.

### 3.4.2. Folded-cascode

La arquitectura Folded-cascode del amplificador de transconductancia variable con su circuito de polarización se puede apreciar en la figura 3.45. Es el mismo amplificador que el estudiado en la sección 3.2.4 pero en este caso, en vez de tener fuentes de tensión para polarizar los transistores se tiene un circuito de polarización, el cual es diseñado y simulado en la sección 3.3.2.

### CAPÍTULO 3. 3.4. AMPLIFICADORES DE TRANSCONDUCTANCIA VARIABLE CON SU CIRCUITO DE POLARIZACIÓN

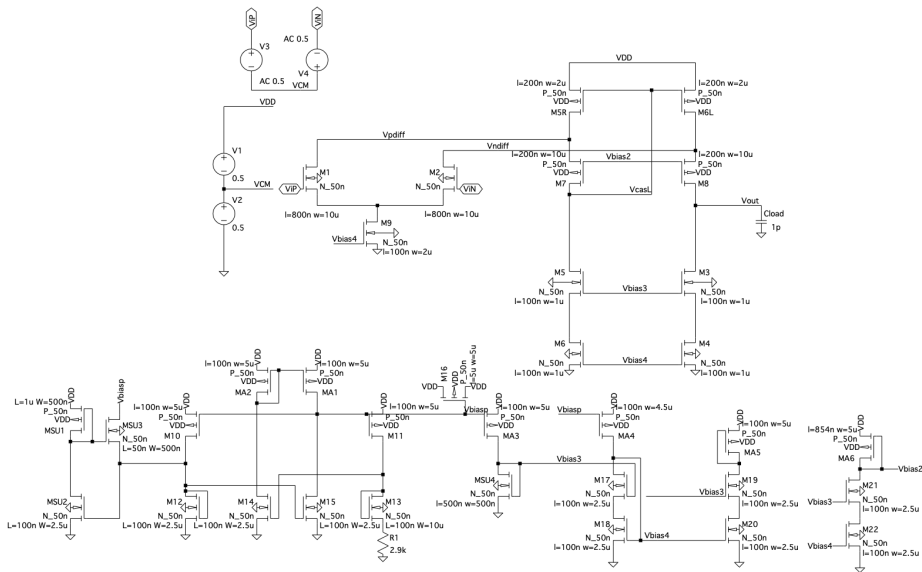


Fig. 3.45. Amplificador Folded-cascode con su circuito de polarización.

Se realiza una simulación en frecuencia del esquemático de la figura 3.45 para obtener su ganancia y producto de ganancia-ancho de banda y comparar los resultados con el amplificador de la sección 3.2.4, con el objetivo de saber si hubo alguna pérdida al introducir un circuito de polarización. En la figura 3.46 se puede apreciar el diagrama de bode como resultado de la simulación.

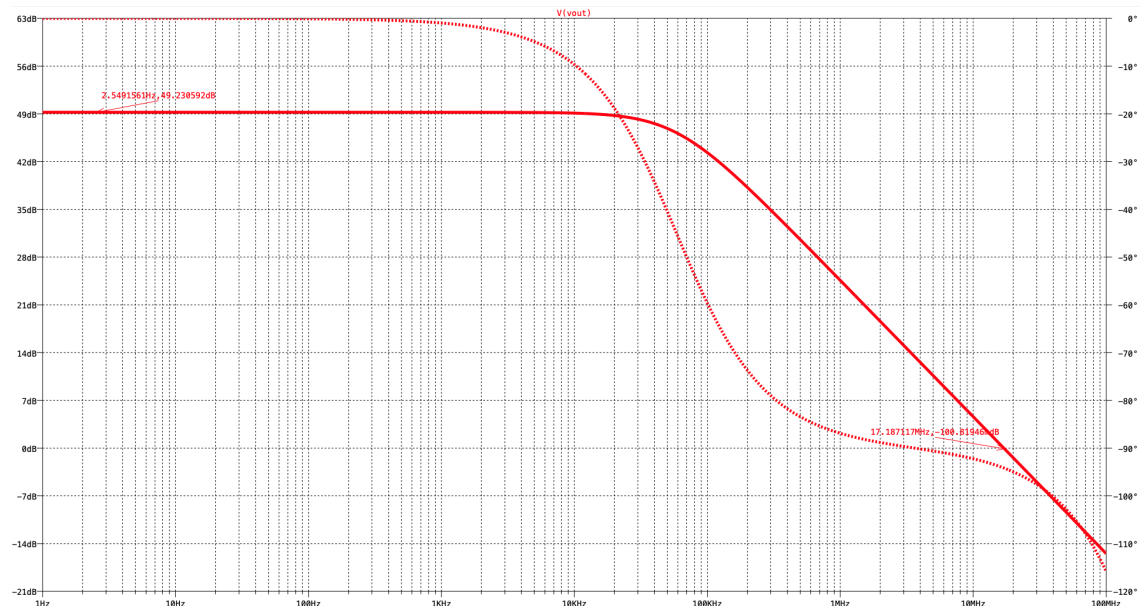


Fig. 3.46. Diagrama de Bode del Amplificador Folded-cascode con su circuito de polarización.

Otra simulación que se realiza en el amplificador Folded-cascode en este trabajo es el análisis en el dominio del tiempo, del cual se obtiene el Slew Rate. Para saber si ha ocurrido algún cambio en este aspecto al introducir el circuito de polarización se le realiza este análisis al esquemático de la figura 3.47. Los resultados de la respuesta del amplificador

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

ante una señal de entrada cuadrada se pueden observar en la figura 3.48.

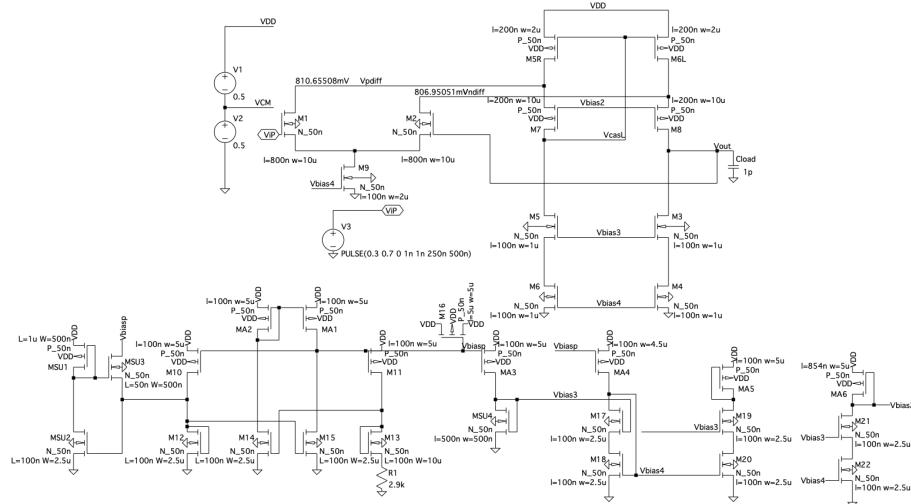


Fig. 3.47. Amplificador Folded-cascode con su circuito de polarización.

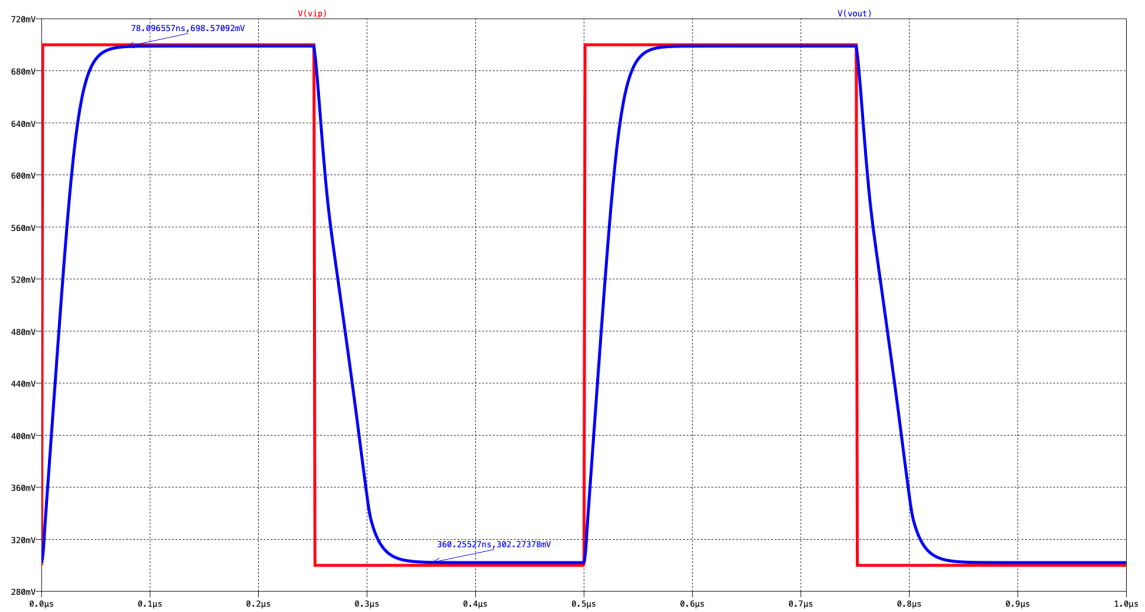


Fig. 3.48. Simulación en el dominio del tiempo del Amplificador Folded-cascode con su circuito de polarización.

Basándose en los resultados obtenidos en estas simulaciones anteriores, se puede concluir que no ha habido ningún cambio en el amplificador Folded-cascode ya que los resultados son los mismo que los obtenidos en la sección 3.2.4.

## 4. FILTROS BUTTERWORTH

En este capítulo se pondrán a prueba los amplificadores de transconductancia variable diseñados en el capítulo anterior. Se diseñarán dos filtros butterworth con las especificaciones mencionadas en la sección 1.2 de este trabajo, uno con cada arquitectura de amplificadores. Se comprueba que los amplificadores cumplen con las necesidades del filtro. Por último se compara el consumo de ambos filtros.

El filtro que se diseña es un butterworth paso bajo de retroalimentación múltiple con una frecuencia de corte de 100 KHz.

En la figura 4.1 se puede apreciar el esquemático del filtro butterworth que se diseña en este capítulo.

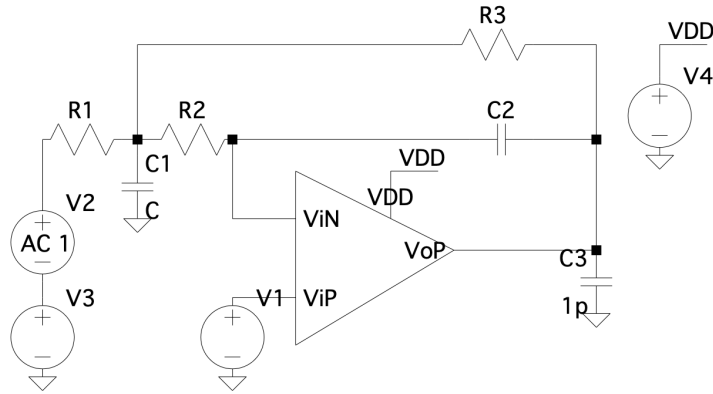


Fig. 4.1. Filtro butterworth paso bajo de retroalimentación múltiple.

Para conseguir la frecuencia de corte y la ganancia requerida para el filtro hay que darle valores a las resistencias y condensadores. Esos valores hay que calcularlos mediante las siguientes ecuaciones. La ecuación (4.1) se usa para calcular la ganancia del filtro y la ecuación (4.2) para calcular la frecuencia de corte[20].

$$G = -\frac{R_3}{R_1} \quad (4.1)$$

$$f_c = \frac{1}{2\pi \sqrt{R_2 R_3 C_1 C_2}} \quad (4.2)$$

En este trabajo para un diseño más sencillo y rápido del filtro se asume  $R_2 = R_3 = R$  y  $C_1 = C_2 = C$  por lo cual la ecuación del cálculo de la frecuencia de corte queda modificada[20]

$$f_c = \frac{1}{2\pi RC} \quad (4.3)$$

Se desean 100 KHz de frecuencia de corte y se toman  $1\text{M}\Omega$  como valor de las resistencias. Se aplica la ecuación (4.3) con estos valores para calcular la capacidad de los condensadores. En este caso se obtiene una capacidad de 1.6 pF.

A la resistencia  $R_1$  se le da un valor un poco menor que el de  $R_3$  para tener ganancia mayor que 0 dB. Se le impone a  $R_1$  un valor de  $0.8\text{ M}\Omega$  por lo cual la ganancia del filtro es de  $-1,25(V/V)$  o  $1,94\text{dB}$ .

### 4.1. Telescópico

Una vez realizado los cálculos de los valores de la resistencia y condensadores del filtro, en esta sección se representa el esquemático del filtro butterworth usando el amplificador telescópico, el cual se puede apreciar en la figura 4.2. Además se realiza un análisis en AC para obtener el bode y comprobar que cumple con los requisitos de frecuencia de corte y ganancia, el resultado de este análisis se detalla en la figura 4.3. Por último se realiza una simulación en el punto de operación del circuito para obtener la potencia que consume el amplificador en esta aplicación, dicho consumo de potencia se muestra en la figura 4.4.

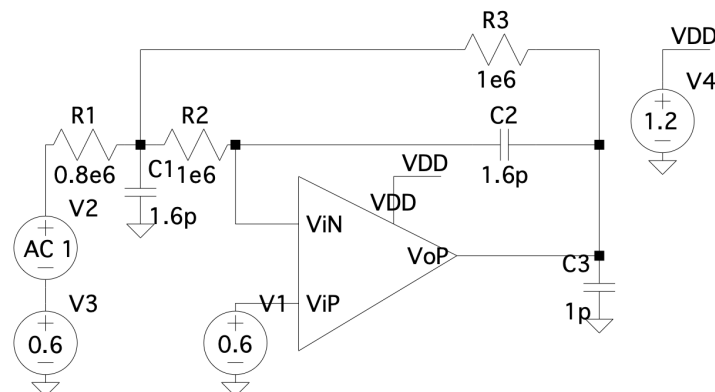


Fig. 4.2. Filtro butterworth paso bajo de retroalimentación múltiple con amplificador telescópico.

## CAPÍTULO 4. 4.2. FOLDED-CASCODE

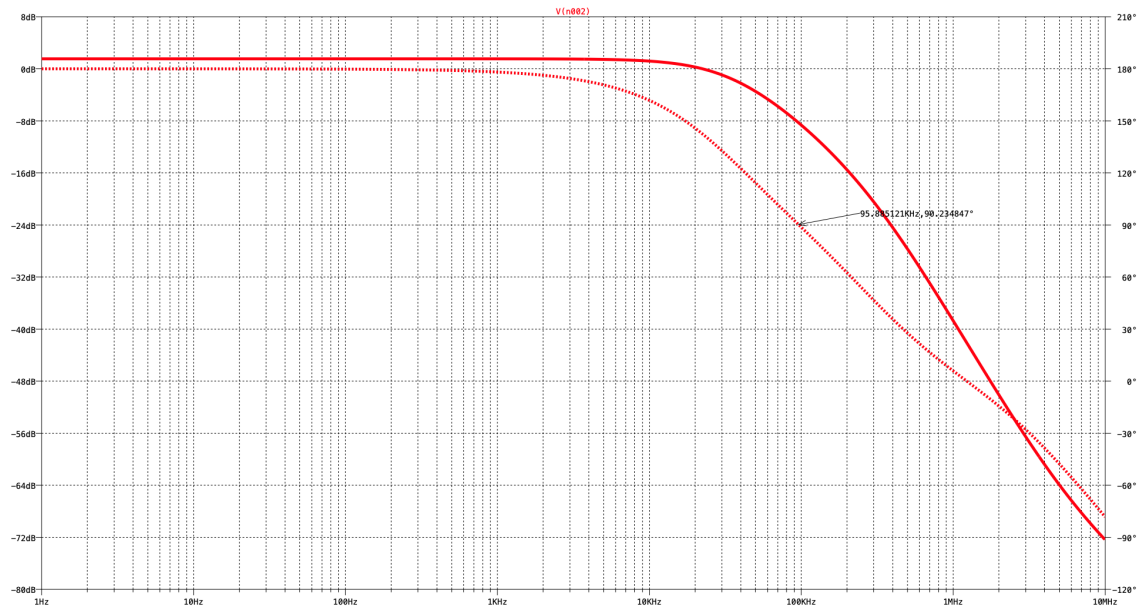


Fig. 4.3. Diagrama de Bode del filtro butterworth.



Fig. 4.4. Consumo del amplificador telescópico usado en el filtro.

Se puede concluir que los valores obtenidos de las simulaciones son los esperados y se puede comprobar que el filtro butterworth ha sido diseñado correctamente.

### 4.2. Folded-cascode

En esta sección se diseña el filtro butterworth con los valores de las resistencias y condensadores obtenidos previamente pero con un amplificador folded-cascode, cuyo esquemático se muestra en la figura 4.5. Como en la sección anterior, 4.1, se realizan dos

## DISEÑO DE AMPLIFICADORES OPERACIONALES PARA BAJA TENSIÓN DE ALIMENTACIÓN EN TECNOLOGÍA CMOS

simulaciones, una para comprobar el buen diseño del filtro y la otra para obtener el consumo de este. En las figuras 4.6 y 4.7 consecutivamente se puede ver los resultados de las simulaciones detalladamente.

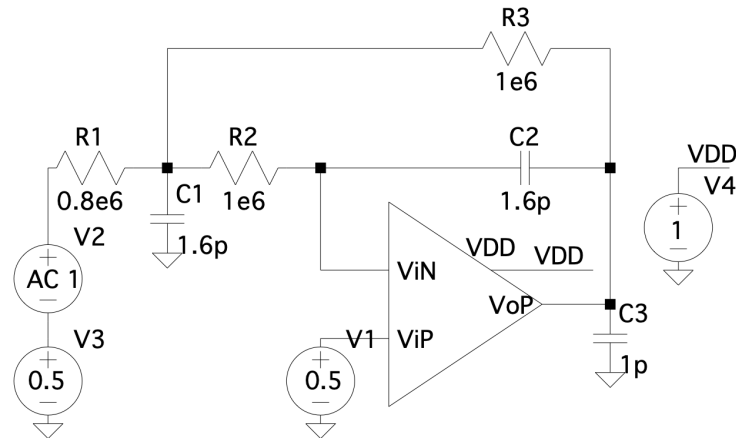


Fig. 4.5. Filtro butterworth paso bajo de retroalimentación múltiple con amplificador folded-cascode.

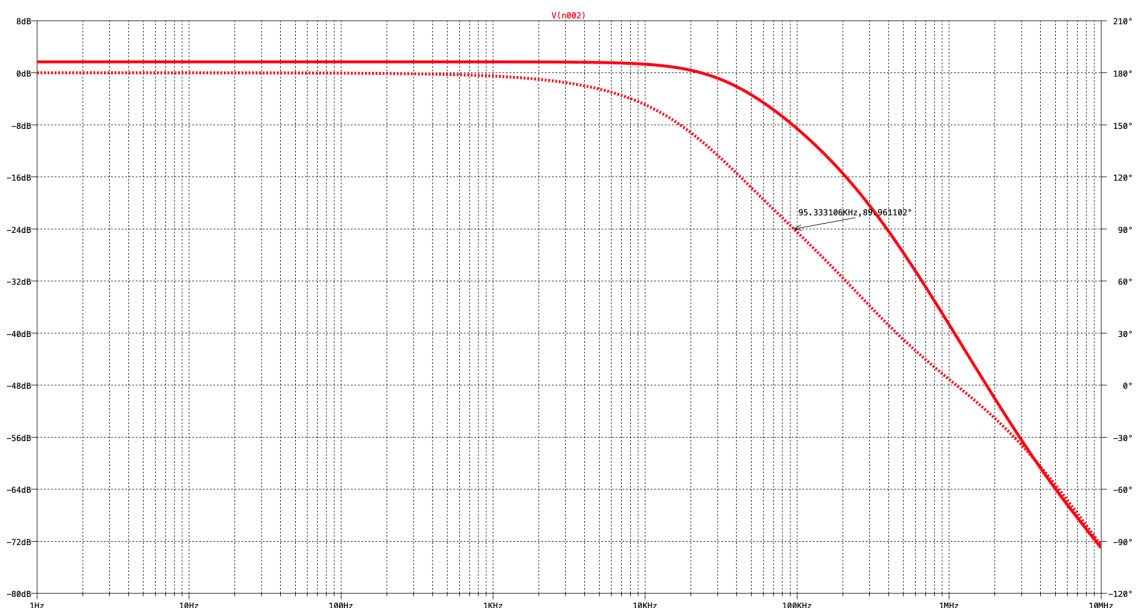


Fig. 4.6. Diagrama de Bode del filtro butterworth.

## CAPÍTULO 4. 4.2. FOLDED-CASCODE



Fig. 4.7. Consumo del amplificador folded-cascode usado en el filtro.

Para concluir se puede afirmar que los valores obtenidos en las simulaciones son los esperados, comprobando que el filtro se ha diseñado correctamente.



## 5. DISCUSIÓN DE LOS RESULTADOS

### 5.1. Conclusiones

En este trabajo se realiza el diseño de amplificadores operacionales para baja tensión de alimentación en tecnología CMOS. En todo el proyecto se ha realizado el modelado y análisis del funcionamiento de los amplificadores de transconductancia variable, el circuito de polarización y el filtro butterworth.

El documento inicia con la introducción en la cual se exponen los objetivos del proyecto, la estructura del documento y la motivación del trabajo. En el capítulo 2 se presentan las bases teóricas de los tres principales bloques de desarrollo de este proyecto, el primero son los amplificadores de transconductancia variable, especificando en dos arquitecturas, telescópica y folded-cascode, el segundo el circuito de polarización de cada amplificador y el tercer y último bloque el filtro butterworth. El principal objetivo del capítulo 2 es proporcionar al lector el conocimiento previo para entender los diseños que se realizarán en los siguientes capítulos. En el capítulo 3 se empieza con el diseño de dos amplificadores ideales para cada arquitectura, seguidamente se diseña cada amplificador real dimensionando transistores para sustituirlos por las fuentes de corriente del caso ideal. Además se diseña un circuito de polarización para el telescópico y el para folded-cascode. Por último se adjuntan los amplificadores reales con su circuito de polarización. En todo momento en este capítulo se realizan simulaciones de los esquemáticos para comprobar que se cumple con los objetivos descritos. En el capítulo 4 se desarrolla el diseño de un filtro butterworth el cual es implementado con cada amplificador de transconductancia variable diseñado previamente. En este capítulo se comprueba la validez de los amplificadores para su uso en distintas aplicaciones, además de comprobar su consumo.

Después de realizar las simulaciones adecuadas de cada arquitectura de los amplificadores se aprecia que los resultados obtenidos son propicios. Durante todo el trabajo se han obtenido conclusiones pero en este capítulo se agrupan en la siguiente lista:

- Aunque los objetivos son muy ambiciosos los resultados obtenidos de los amplificadores operacionales de transconductancia variable se aproximan mucho. En el caso de la arquitectura telescópica se consigue con bastante facilidad el producto de ganancia-ancho de banda que se plantea como objetivo, pero la ganancia no lo cumple ya que se obtienen 54 dB frente a los 60 dB marcados como objetivo. El amplificador folded-cascode se queda a muy poco de cumplir sus objetivos ya que se obtienen 49 dB de ganancia en continua en vez de los 60 dB esperados y 17 MHz de producto de ganancia-ancho de banda frente los 2 MHz marcados como objetivos. Ambos amplificadores se ven limitados por su tecnología de diseño de 50 nm y su tensión de alimentación por tanto los resultados obtenidos son los más

óptimos.

- Se ha diseñado satisfactoriamente los circuitos de polarización para los amplificadores y su implementación en ellos no ha causado ninguna pérdida.
- En este trabajo se ha conseguido un diseño satisfactorio de los filtros y se ha comprobado que los amplificadores diseñados previamente son válidos para este uso.
- El consumo del amplificador folded-cascode es aproximadamente el doble del amplificador telescópico, siendo el primero de  $201.5 \mu W$  y el segundo de  $90.6 \mu W$ . Ambos amplificadores poseen las mismas especificaciones salvo la tensión de alimentación que en el telescópico que es de 1.2 V y en el folded-cascode de 1 V. El uso de un amplificador u otro dependerá de las necesidades que se tenga en cada caso, si se necesita bajo consumo se recomienda usar el telescópico pero si se necesita una baja tensión de alimentación sin importar el consumo se recomienda usar el folded-cascode.

### 5.2. Líneas futuras

Tras concluir este proyecto se proponen una serie de mejoras y trabajos futuros:

- Elaborar su *layout* para fabricarlo como componente de un microchip en alguna de sus aplicaciones y poder comparar los resultados obtenidos en las simulaciones con los experimentales.
- Diseñar los amplificadores con salida diferencial porque la mayoría de componentes integrados tienen entrada diferencial y sería más útil su diseño. Esta configuración se lleva a cabo en muchos diseños actuales [21] [22] [23] [24].
- Comprobar la validez de los amplificadores en otras aplicaciones, como en osciladores controlados por tensión o en un chip de potencia [25].

## **6. IMPACTO SOCIO-ECONÓMICO**

Los circuitos analógicos integrados y mixtos digital/analógico están presentes en la actualidad en decenas de miles de dispositivos que aparecen en los productos de consumo. Esto se debe a que el diseño analógico aporta una complejidad, velocidad y precisión que serían imposibles de lograr utilizando implementaciones discretas. Dentro de los circuitos analógicos integrados encontramos los amplificadores de transconductancia variable, OTA, que tienen gran variedad de aplicaciones, entre las cuales se encuentran los amplificadores, los filtros y los osciladores controlados por tensión. Con los resultados obtenidos en este trabajo se puede afirmar que los amplificadores de transconductancia variable diseñados son útiles para estas aplicaciones y un ejemplo de ello se puede apreciar en el capítulo 4 cuando se desarrolla el filtro butterworth.

Además de tener un impacto social muy positivo, los amplificadores de transconductancia variable también puede conllevar un gran beneficio económico si llegase a comercializarse.

## 7. ESTUDIO ECONÓMICO

En este capítulo se presenta el presupuesto desglosado del coste del proyecto, dividido en coste personal y costes de las licencias de los programas utilizados en el desarrollo del proyecto.

En la tabla 7.1 se detallan los costes de personal.

CÓDIGO	UNIDAD	DESCRIPCIÓN	MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
CAPÍTULO I: COSTE PERSONAL					
1.01	h	ANÁLISIS			
		Preparación del proyecto y estudio de las herramientas a utilizar	150,00	20,00 €	3.000,00 €
1.02	h	DISEÑO Y SIMULACIÓN			
		Diseño y simulación de los circuitos desarrollados	320,00	20,00 €	4.000,00 €
1.03	h	DOCUMENTACIÓN			
		Redacción del documento	160,00	20,00 €	2.400,00 €
SUBTOTAL					9.400,00 €

TABLA 7.1. COSTE PERSONAL

CÓDIGO	UNIDAD	DESCRIPCIÓN	MEDICIÓN	PRECIO UNITARIO	PRECIO TOTAL
CAPÍTULO II: COSTES DE LICENCIAS					
2.01	Ud	LTSPICE			
		Simulador de SPICE	1,00	0,00 €	0,00 €
2.02	Ud	OVERLEAF			
		Editor de LaTeX online	1,00	0,00 €	0,00 €
SUBTOTAL					0,00 €

TABLA 7.2. COSTE DE SOFTWARE

El coste total del proyecto, la suma de todos los gastos, se detalla en la tabla 7.3

RESUMEN DEL PRESUPUESTO	
CAPÍTULO I: COSTE PERSONAL	9.400,00 €
CAPÍTULO II: COSTES DE SOFTWARE	0,00 €
TOTAL	9.400,00 €

TABLA 7.3. COSTES TOTALES

## 8. METODOLOGÍA Y PLAN DE TRABAJO

En este capítulo se muestra el tiempo requerido para el desarrollo de este trabajo. Mediante un diagrama de Gantt, figura 8.1, se ilustra el cronograma del proyecto. En él se indica la duración de los procesos que se han llevado a cabo.

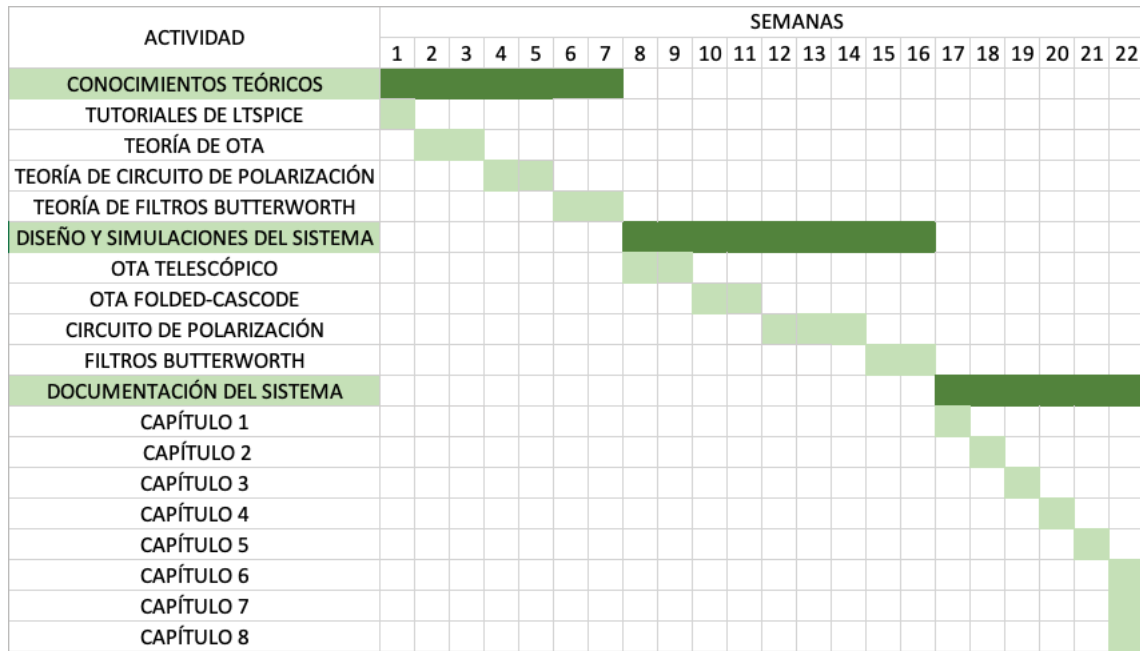


Fig. 8.1. Diagrama de Gantt.

## BIBLIOGRAFÍA

- [1] *Ley de Moore*, es, Page Version ID: 115085017, abr. de 2019. [En línea]. Disponible en: [https://es.wikipedia.org/w/index.php?title=Ley\\_de\\_Moore&oldid=115085017](https://es.wikipedia.org/w/index.php?title=Ley_de_Moore&oldid=115085017) (Acceso: 26-05-2019).
- [2] L. L. Lewyn, T. Ytterdal, C. Wulff y K. Martin, “Analog Circuit Design in Nanoscale CMOS Technologies”, *Proceedings of the IEEE*, vol. 97, n.º 10, pp. 1687-1714, oct. de 2009. doi: [10.1109/JPROC.2009.2024663](https://doi.org/10.1109/JPROC.2009.2024663).
- [3] K. Bult, “Analog design in deep sub-micron CMOS”, en *Proceedings of the 26th European Solid-State Circuits Conference*, sep. de 2000, pp. 126-132.
- [4] G. m. p. C. UC3M, *Índice: Trabajo de Fin de Grado UC3M: Evitar el plagio*, es. [En línea]. Disponible en: [//uc3m.libguides.com/TFG/plagio](http://uc3m.libguides.com/TFG/plagio) (Acceso: 26-05-2019).
- [5] *Licencia BSD*, es, Page Version ID: 111053874, oct. de 2018. [En línea]. Disponible en: [https://es.wikipedia.org/w/index.php?title=Licencia\\_BSD&oldid=111053874](https://es.wikipedia.org/w/index.php?title=Licencia_BSD&oldid=111053874) (Acceso: 26-05-2019).
- [6] *Aspectos éticos | UC3M*, es. [En línea]. Disponible en: [http://www.uc3m.es/ss/Satellite/LogoHRS4R/es/TextoMixta/1371234170165/Aspectos\\_eticos](http://www.uc3m.es/ss/Satellite/LogoHRS4R/es/TextoMixta/1371234170165/Aspectos_eticos) (Acceso: 24-05-2019).
- [7] H. Gray, “Vacuum microelectronics 1996: where we are and where we are going”, en *9th International Vacuum Microelectronics Conference*, St. Petersburg, Russia: IEEE, 1996, pp. 1-3. doi: [10.1109/IVMC.1996.601761](https://doi.org/10.1109/IVMC.1996.601761). [En línea]. Disponible en: <http://ieeexplore.ieee.org/document/601761/> (Acceso: 12-06-2019).
- [8] R. J. Baker, “CMOS Circuit Design, Layout, and Simulation”, en. Piscataway: Wiley, 2010, cap. Chapter 1 Introduction to CMOS Design, pp. 1-31.
- [9] F. M. Wanlass, “Low stand-by power complementary field effect circuitry”, US3356858A, dic. de 1967. [En línea]. Disponible en: <https://patents.google.com/patent/US3356858A/en> (Acceso: 26-05-2019).
- [10] R. J. Baker, “CMOS Circuit Design, Layout, and Simulation”, en. Piscataway: Wiley, 2010, cap. Chapter 24 Operational Amplifiers I, pp. 773-829.
- [11] ———, “CMOS Circuit Design, Layout, and Simulation”, en. Piscataway: Wiley, 2010, cap. Chapter 22 Differential Amplifiers, pp. 711-745.
- [12] L. Kouhalvandi, S. Aygün, E. O. Güneş y M. Kırıcı, “Design of a high gain telescopic-cascode operational amplifier based on the ZTC operation condition”, en *2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, dic. de 2017, pp. 538-541. doi: [10.1109/ICECS.2017.8292125](https://doi.org/10.1109/ICECS.2017.8292125).

- [13] F. A. Matter, M. F. Ibrahim y K. A. Shehata, “CMOS single-stage fully differential telescopic cascode OTA with gain boosted technique for 14Bit IOOMSps pipelined ADC”, en *2015 World Congress on Information Technology and Computer Applications (WCITCA)*, jun. de 2015, pp. 1-6. doi: [10.1109/WCITCA.2015.7367042](https://doi.org/10.1109/WCITCA.2015.7367042).
- [14] H. Daoud, S. B. Salem, S. Zouari y M. Loulou, “Folded cascode OTA design for wide band applications”, en *International Conference on Design and Test of Integrated Systems in Nanoscale Technology, 2006. DTIS 2006.*, sep. de 2006, pp. 437-440. doi: [10.1109/DTIS.2006.1708674](https://doi.org/10.1109/DTIS.2006.1708674).
- [15] H. Dammak, S. Bensalem, S. Zouari y M. Loulou, “Design of Folded Cascode OTA in Different Regions of Operation through gm/ID Methodology”, 2008.
- [16] R. J. Baker, “CMOS Circuit Design, Layout, and Simulation”, en. Piscataway: Wiley, 2010, cap. Chapter 20 Currents Mirrors, pp. 613-657.
- [17] M. F. b. M. Idros y S. F. b. A. Hassan, “A design of butterworth low pass filter’s layout basideal filter approximation on the ideal filter approximation”, en *2009 IEEE Symposium on Industrial Electronics Applications*, vol. 2, oct. de 2009, pp. 754-757. doi: [10.1109/ISIEA.2009.5356355](https://doi.org/10.1109/ISIEA.2009.5356355).
- [18] Li Zhongshen, “Design and Analysis of Improved Butterworth Low Pass Filter”, en *2007 8th International Conference on Electronic Measurement and Instruments*, ago. de 2007, pp. 1-729-1-732. doi: [10.1109/ICEMI.2007.4350554](https://doi.org/10.1109/ICEMI.2007.4350554).
- [19] R. J. Baker, “CMOS Circuit Design, Layout, and Simulation”, en. Piscataway: Wiley, 2010, cap. Chapter 9 Models for Analog Design, pp. 269-311.
- [20] T. Kuehl, “Using the infinite-gain, MFB filter topology in fully differential active filters”, en, *Op Amps*, p. 9, 2009.
- [21] B. Pankiewicz, M. Solecki y S. Szczepanski, “A fully differential CMOS OTA for continuous-time filter applications”, en *ICCSC’02. 1st IEEE International Conference on Circuits and Systems for Communications. Proceedings (IEEE Cat. No.02EX605)*, jun. de 2002, pp. 42-45. doi: [10.1109/OCCSC.2002.1029040](https://doi.org/10.1109/OCCSC.2002.1029040).
- [22] D. Calderón-Preciado, F. Sandoval-Ibarra y F. Silveira, “Settling time-based design of a fully differential OTA for a SC integrator”, en *2017 IEEE 8th Latin American Symposium on Circuits Systems (LASCAS)*, feb. de 2017, pp. 1-4. doi: [10.1109/LASCAS.2017.7948052](https://doi.org/10.1109/LASCAS.2017.7948052).
- [23] C. Chanapromma, A. Prajong y P. Silapan, “Even order fully-differential biquadratic filter application of implementation of fully-differential OTA based on commercially available IC”, en *2011 International Symposium on Intelligent Signal Processing and Communications Systems (ISPACS)*, dic. de 2011, pp. 1-5. doi: [10.1109/ISPACS.2011.6146154](https://doi.org/10.1109/ISPACS.2011.6146154).

## CAPÍTULO 8. BIBLIOGRAFÍA

- [24] C. D. Bula y M. Jiménez, “Practical considerations for the design of fully differential OTAs with SC-CMFB”, en *2010 First IEEE Latin American Symposium on Circuits and Systems (LASCAS)*, feb. de 2010, pp. 172-175. doi: [10.1109/LASCAS.2010.7410256](https://doi.org/10.1109/LASCAS.2010.7410256).
- [25] Qingyan Liu y C. Nwankpa, “Applications of Operational Transconductance Amplifier in Power System Analog Emulation”, en, en *2005 IEEE International Symposium on Circuits and Systems*, Kobe, Japan: IEEE, 2005, pp. 5302-5305. doi: [10.1109/ISCAS.2005.1465832](https://doi.org/10.1109/ISCAS.2005.1465832). [En línea]. Disponible en: <http://ieeexplore.ieee.org/document/1465832/> (Acceso: 13-06-2019).